技術資料

蓄積時間可変機能付／電流出力タイプ CMOSリニアイメージセンサ

1 特長

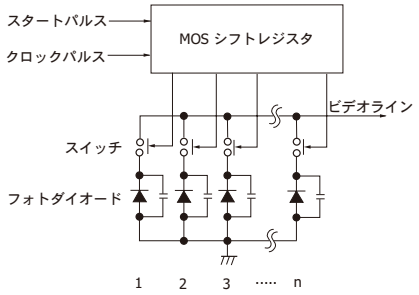
従来の電流出力タイプNMOSリニアイメージセンサの場合、いったん読み出しを行うと、内蔵のシフトレジスタが、1画素目から最終画素までの読み出しスイッチをスキャンして、すべての画素を読み出すため、全画素で蓄積時間が同じになります。

蓄積時間可変機能付／電流出力タイプCMOSリニアイメージセンサ［S10121～S10124シリーズ（-01），S15908-512Q，S15909-1024Q］の場合、シフトレジスタの出力を読み出し制御回路で制御することで、任意の画素のみを読み出すことができ、画素ごとに適した蓄積時間を設定することが可能となります。

CMOSリニアイメージセンサを分光器などに用いる場合、波長ごとに分光された光が各画素に入射します。このとき、画素ごとで入射光量が異なります。蓄積時間可変機能を用いることによって、入射光量の少ない画素では長い蓄積時間に設定し、入射光量の多い画素では短い蓄積時間に設定することにより、広い波長範囲でも高S/Nで測定することができます。

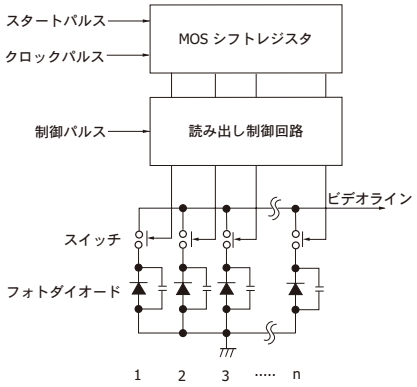
[図1] ブロック図

(a) NMOSリニアイメージセンサ（S390Xシリーズ）



KMPDC0057JA

(b) CMOSリニアイメージセンサ
[S10121~S10124シリーズ (-01), S15908-512Q, S15909-1024Q]



KMPDC0487JA

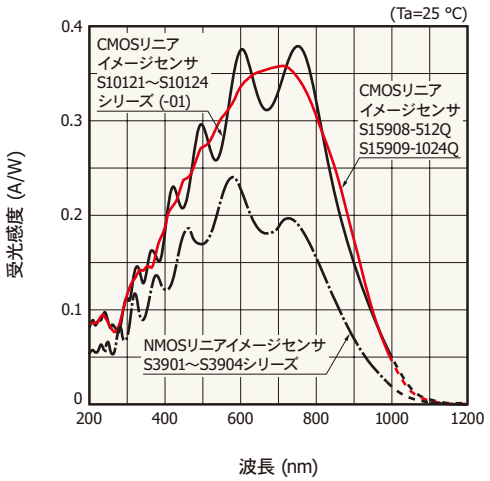
[表1] NMOSリニアイメージセンサとCMOSリニアイメージセンサの比較

品名	NMOSリニアイメージセンサ (S3901～S3904シリーズ)				CMOSリニアイメージセンサ [S10121～S10124シリーズ (-01), S15908-512Q, S15909-1024Q]					
特長	●高い紫外感度 ●優れた出力直線性 ●低消費電力				●高い紫外感度 ●紫外域でなめらかな分光感度特性 [S10121～S10124シリーズ (-01)] ●優れた出力直線性 ●紫外から近赤外域でなめらかな分光感度特性 (S15908-512Q, S15909-1024Q) ●低消費電力 ●画素ごとに蓄積時間を変更可能 ●大飽和電荷量					
用途	分光分析				分光分析					
型名	S3901	S3902	S3903	S3904	S10121	S10122	S10123	S10124	S15908	S15909
画素数	128, 256, 512		256, 512, 1024		128, 256, 512		256, 512, 1024		512	1024
画素ピッチ [μm]	50		25		50		25		50	25
画素高さ [mm]	2.5	0.5	0.5	2.5	2.5	0.5	0.5	2.5	2.5	
飽和電荷量 [pC]	50	10	5	25	165	32	14	75	200	100
最大感度波長 [nm]	600				750				750	
Vdd-Vss間の消費電力 [mW]*1	-	-	-	-	0.75 1.75 4.25	1.5 3.5 8.25	3.25 7.25 18.25	1.75 3.75 8.25	4.25	8.25

*1: f(CLK)=250 kHz [S10121/S10124シリーズ (-01), S15908-512Q, S15909-1024Q], 500 kHz [S10122/S10123シリーズ (-01)]

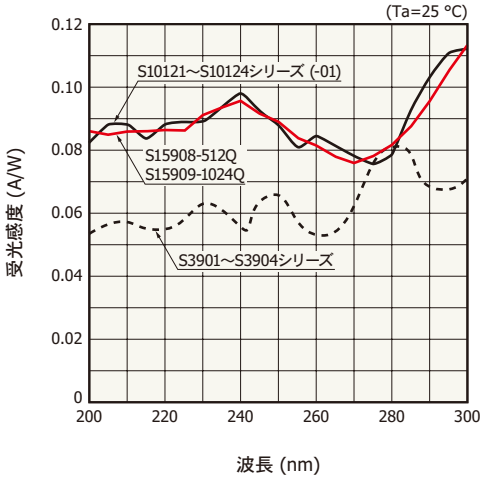
[図2] 分光感度特性 (代表例)

(a) 200～1200 nm



KMPDB0710JA

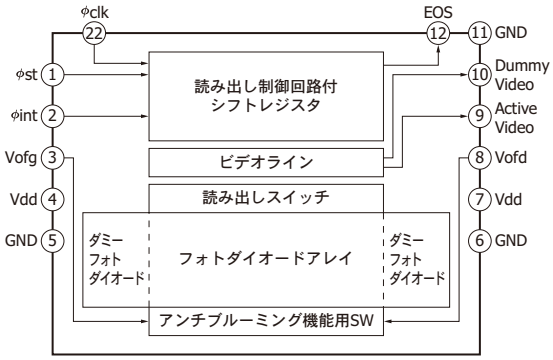
(b) 紫外域



KMPDB0711JA

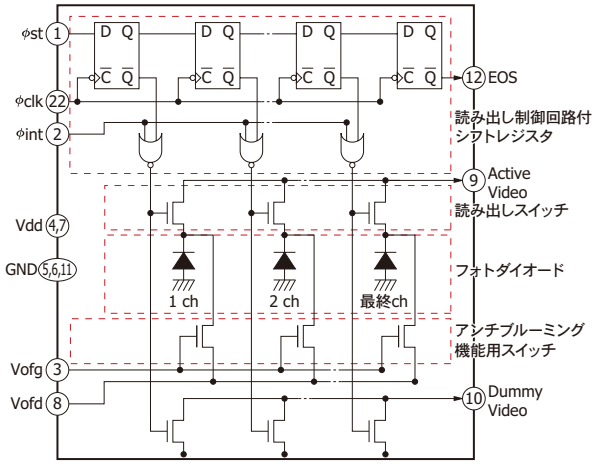
[図3] デバイス構造

(a) ブロック図



KMPDC0488JA

(b) 等価回路



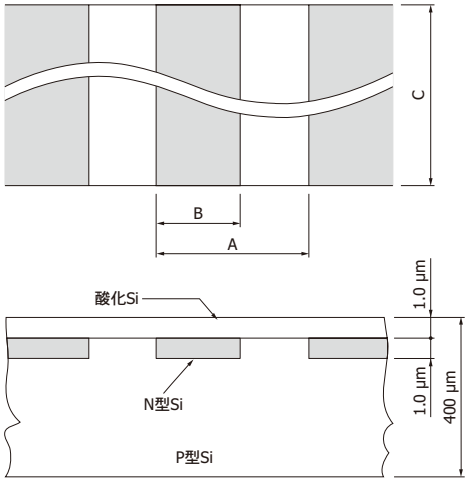
KMPDC0489JA

2 各部の説明

(1) フォトダイオード (受光部)

受光部は、P型シリコン基板とその上に形成されたN型拡散層から成るPN接合フォトダイオードから成り、光信号を電気信号に変える光電変換機能と、得られた信号電荷を一時蓄積する機能を備えています。Vssはフォトダイオードのアノードに接続されています。フォトダイオードは紫外感度が高く、暗電流が小さくなるように設計されています。図4に構造図を示します。Aはフォトダイオードの画素ピッチ、Bはフォトダイオードの拡散層の幅、Cはフォトダイオードの高さを示します。

[図4] 受光部の構造図



	A	B	C
S10121シリーズ (-01)	50 μm	49 μm	2.5 mm
S15908-512Q		48 μm	
S10122シリーズ (-01)		49 μm	0.5 mm
S10123シリーズ (-01)	25 μm	24 μm	0.5 mm
S10124シリーズ (-01)		24 μm	2.5 mm
S15909-1024Q		23 μm	

KMPDA0124JE

(2) 読み出しスイッチ

読み出しスイッチは、フォトダイオードのカソードをソース、ビデオラインをドレイン、アドレスパルス入力部をゲートとするNチャンネルMOSトランジスタから成るアドレススイッチアレイにより構成されています。フォトダイオードはアドレススイッチを介してアクティブビデオラインに接続されています。シフトレジスタからのアドレスパルスにより、このアドレススイッチがオンし、ビデオラインに出力信号が出力されます。読み出しスイッチのオン抵抗は約500 Ωです。

(3) アンチブルーミング機能用スイッチ

アンチブルーミング機能用スイッチはフォトダイオードのカソードをソース、オーバーフローゲートをゲート、オーバーフロードレインをドレインとするNチャンネルMOSトランジスタから成るスイッチで構成されています。

飽和露光量以上の光量が特定のフォトダイオードに入射すると、飽和電荷量以上の信号電荷はそのフォトダイオードに蓄積できず、あふれ出した余剰信号電荷は隣接フォトダイオードやビデオラインに拡散し、信号の純度が劣化するブルーミング現象が起こります。

S10121～S10124シリーズ (-01)、S15908-512Q、S15909-1024Qでは、ビデオラインへの通常の信号出力経路とは別に各フォトダイオードにもう1つのアンチブルーミング機能用スイッチを付け、余剰電荷をそのスイッチから逃がす構造を採用しています。

(4) 読み出し制御機能付シフトレジスタ

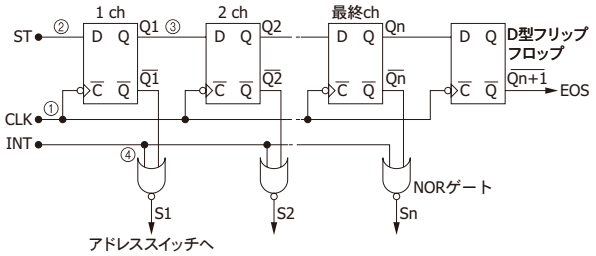
読み出し制御機能付シフトレジスタは、チャンネル数＋1個分のD型フリップフロップとNORゲートから構成されています [図5]。

シフトレジスタを構成するすべてのチャンネルのD型フリップフロップのC端子にCLK信号が入力され (①)、ST信号は1 ch目のD型フリップフロップのD端子に入力されます (②)。D型フリップフロップ回路はCLKの立ち下がりのエッジでD端子の入力値がQ端子の出力として保持されます。1 ch目のQ端子が2 ch目のD端子と接続されており (③)、それが最終チャンネルまで順番に接続されています。ST信号とCLK信号を外部から入力することで、D型フリップフロップ回路が動作し、1 ch目から順番に信号が出力されます。

さらに、読み出し制御を行うため、Q端子の反転信号とINT信号がNORゲートの2入力端子にそれぞれ入力されます (④)。INT信号を制御することで、各チャンネルのアドレススイッチのオン／オフを制御することができます。

全画素の読み出しが終わると、最終画素の次のタイミングでEOS (エンドオブスキャン)パルスが出力されます。

[図5] 読み出し制御機能付シフトレジスタの回路

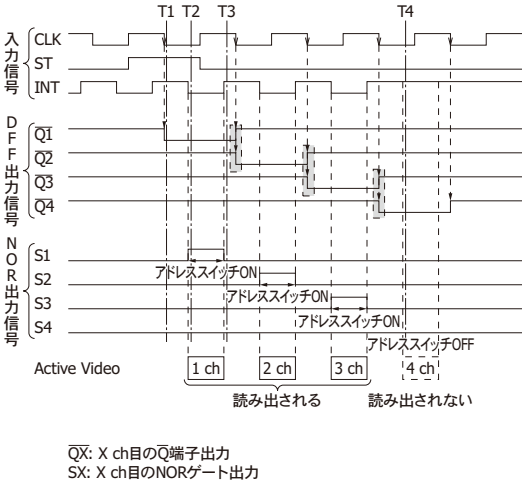


INT信号とD型フリップフロップ出力は、NORゲートに入力されます。連続した画素を読み出す場合、図6のグレー部分で隣合った画素のシフトレジスタ出力が、同時にオンすることを避け、確実に1画素のみオンするように、INT信号にHigh期間を設ける必要があります。INT信号はCLKの立ち下がり信号の前後の期間に対し、それぞれ30 ns以上のHigh期間が必要になります。ただし、EOSとST信号の次の立ち上がりの間では、Highの期間は必要ありません。

3 タイミングチャート

図6にシフトレジスタ部のタイミングチャートを示します。STがHighの期間にCLKを1度だけHighからLowに立ち下げます。これにより、シフトレジスタを構成するD型フリップフロップが動作を開始します。

[図6] シフトレジスタの動作



・T1

CLKがLowレベルになり$\overline{Q1}$がLowレベルになります。INT信号がHighレベルのため、S1はLowレベルのままです。

・T2

$\overline{Q1}$がLowレベルのときにINT信号がLowレベルになるとS1がHighレベルとなり、1 ch目のシフトレジスタの読み出しスイッチがオンになります。

・T3

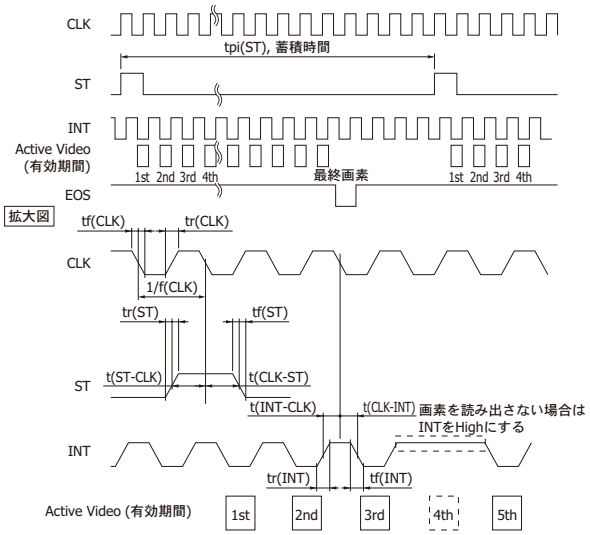
$\overline{Q1}$はLowレベルですが、INT信号がHighレベルになると

S1がLowレベルとなり、1 ch目のシフトレジスタの読み出しスイッチがオフになります。

・T4

$\overline{Q4}$はLowレベルですが、INT信号がHighレベルであるとS4はLowレベルのままであり、4 ch目のシフトレジスタの読み出しスイッチがオフのままになります。

[図7] タイミングチャート



項目		記号	Min.	Typ.	Max.	単位
スタートパルス(ST)周期	S1012*-128-01	tpi(ST)	130/f(CLK)	-	-	s
	S1012*-256-01		258/f(CLK)	-	-	
	S1012*-512-01 S15908-512Q		514/f(CLK)	-	-	
	S1012*-1024-01 S15909-1024Q		1026/f(CLK)	-	-	
INTパルス上昇／下降時間		tr(INT), tf(INT)	0	20	30	ns
INTパルス−クロックパルスタイミング		t(INT-CLK)	30	-	1 / [2 × f(CLK)]	ns
クロックパルス−INTパルスタイミング		t(CLK-INT)	30	-	1 / [2 × f(CLK)]	ns
スタートパルス上昇／下降時間		tf(ST), tr(ST)	0	20	30	ns
クロックパルスデューティ比		-	40	50	60	%
クロックパルス上昇／下降時間		tf(CLK), tr(CLK)	0	20	30	ns
クロックパルス−スタートパルスタイミング		t(CLK-ST)	20	-	-	ns
スタートパルス−クロックパルスタイミング		T(ST-CLK)	20	-	-	ns

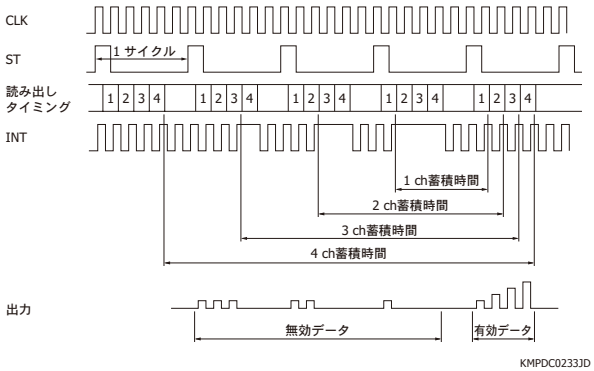
KMPDC1048JA

4 蓄積時間可変機能

INT端子のCLKの制御によって、蓄積時間を画素ごとに「読み出し1周期の整数倍」に変えることができます。特定画素の読み出しタイミングにおいて、INT端子のCLKをHighにすると、その画素の信号は出力されません［図8］。指定画素から信号が出力されない場合、蓄積は継続することになります。この機能によって、たとえば読み出し1周期の蓄積時間が100 msの場合、3周期に1回だけ信号が出力されるように設定した画素の蓄積時間は300 msになります。特定の画素の蓄積時間を長くすることによって、分光された微弱な波長成分の信号を効率的に検出することができます。

蓄積時間可変機能についてのタイミングチャートを図8に示します。ここでは、1画素目の蓄積時間（スタートパルスの1周期）を基準として、2画素・3画素・4画素目の蓄積時間をそれぞれ2倍・3倍・4倍に設定した場合の例を表しています。図8のようにINTパルスを入力することで、蓄積時間を画素ごとに変更することが可能となります。

[図8] タイミングチャート（蓄積時間可変機能）



KMPDC0233JD

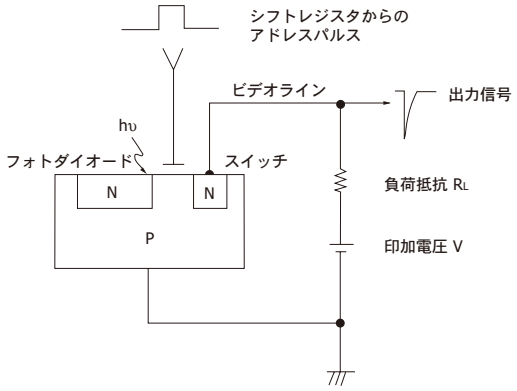
5 動作原理

図9にフォトダイオードと読み出しスイッチの1画素の構成を、図10にその等価回路を示します。以下に具体的な読み出し動作について説明します。

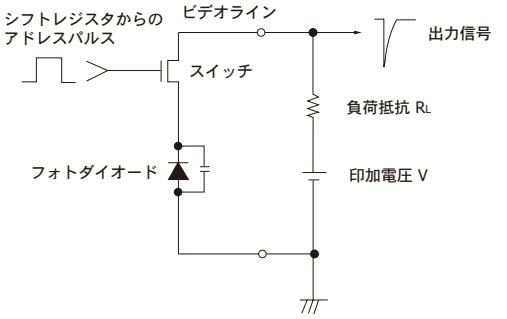
フォトダイオードは、P型Si基板上に形成したN型拡散領域から成るPN接合フォトダイオードです。読み出しスイッチはフォトダイオードのカソードをソース、ビデオライン側をドレイン、シフトレジスタからのアドレスパルス入力部をゲートとするNチャンネルMOSトランジスタで構成されています。フォトダイオードのアノード（Si基板）はGND、ビデオラインは正電位 Vbにバイアスされています。

シフトレジスタからアドレスパルスが読み出しスイッチのゲートに入り、スイッチがオンします。その結果、フォトダイオードのカソードはビデオラインと同電位になり、フォトダイオードは逆バイアス状態に初期化されます。このときフォトダイオード接合容量 CjにはQj = Cj × Vbとなる電荷が電源から充電されます。スイッチがオフして蓄積が始まると、充電電荷は光入射で生成された電荷によって放電し、カソード電位はGND電位に近づいていきます。この放電電荷量は入射光量に比例して増加しますが、その最大量は初期に充電された電荷量で、これが飽和電荷量となります。再びアドレスパルスにより読み出しスイッチがオンすると、蓄積時間中の放電電荷に相当する電荷が負荷抵抗 R_Lを通じて電源から充電され、フォトダイオードは再び初期化されます。このとき負荷抵抗 R_Lの両端には充電電流による電位差が生じ、出力電圧として検出されます。この出力はビデオラインバイアス電圧 Vbを基準とした負極性の微分波形です。この信号読み出し方式を電流−電圧変換方式と呼び、その動作の概略図を図11に示します。

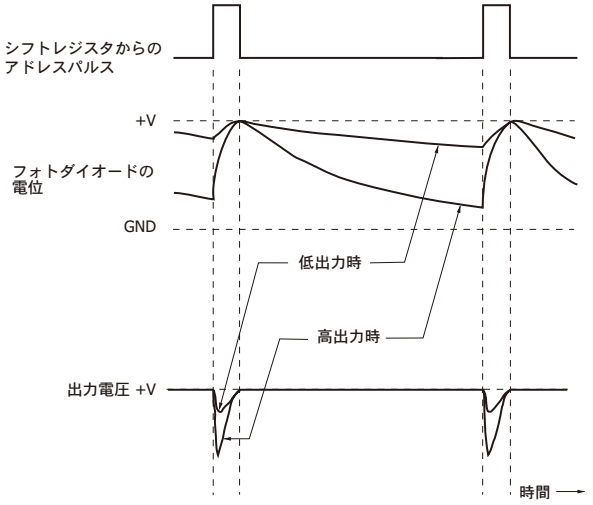
[図9] 読み出し部の構造



[図10] 電流ー電圧変換方式の等価回路



[図11] 電流ー電圧変換方式の動作の概略



実際には、前に述べた光電流の他にも、空乏層内の再結合電流や表面リーク電流によって、充電電荷は徐々に放電していきます。この光照射に関係のない電流を暗電流、その出力を暗出力と呼びます。

6 外部電流積分方式の駆動回路例

駆動回路として、図12のようなタイミング信号発生部、ビデオ信号処理部、電圧レギュレータ部などから構成されたものを用意する必要があります。タイミング信号発生部では、センサ、信号処理部などへ必要なパルスを発生します。ビデオ信号処理部では、センサからのビデオ信号を電流積分・増幅・直流再生をして出力します。電圧レギュレータ部では、Vofd (=Vb)、Vofgを発生します。

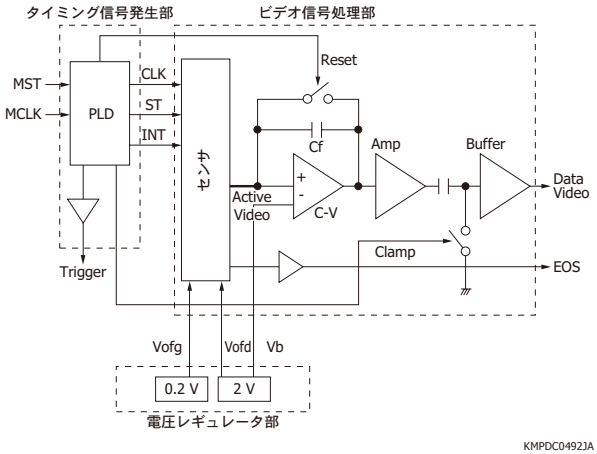
外部から駆動回路へ、デジタル電源電圧、アナログ電源電圧、マスタークロックパルス、マスタースタートパルスを入力します。一方、駆動回路から外部へは、データビデオ出力、トリガパルス、EOSパルスが出力されます。

タイミング信号発生部は、PLD (プログラマブル・ロジック・デバイス)で構成されており、センサのシフトレジスタ動作のためにクロックパルス、スタートパルスを、出力信号処理のために電流積分回路へのリセット信号、直流再生回路へのクランプ信号をそれぞれ発生します。また、外部でのサンプルホールドのためのトリガ出力信号も併せて発生し、バッファを介して外部に出力されます。これらの信号は外部からのマスタークロックパルスに同期し、マスタースタートパルスによって初期化されます。

ビデオ信号処理部は、初段アンプ・次段アンプ・クランプ回路・最終段アンプの4つの部分から構成されています。まずセンサのビデオ出力電流は、初段アンプで積分されます。初段アンプの非反転入力端子には、ビデオバイアス電圧Vb (=Vofd)が掛かっています。積分容量には、リセットスイッチが並列に接続され、各画素を読み出すごとにリセット信号がスイッチに入り、積分容量をリセットします。またクロックパルスに同期したスイッチングノイズのキャンセルも行います。初段アンプの出力はビデオバイアス 2 Vを基準とした正極性のボックスカー波形で、出力電圧 V (単位: V)は出力電荷量をQ (単位: pC)とすると、式 (1)で表されます。

$$V = Q/Cf \cdots\cdots (1)$$

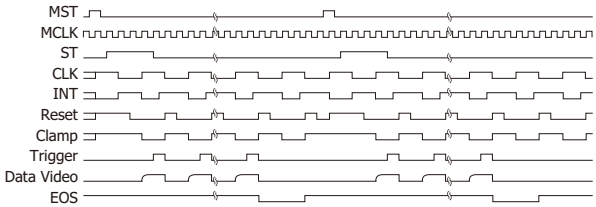
[図12] 外部駆動回路例



次段アンプでは、非反転増幅を行います。その後、容量とスイッチから成るクランプ回路でCDS (Correlated Double Sampling: 相関2重サンプリング)を行います。積分容量リセット直後のある期間 (クランプ期間)、クランプスイッチをオンし、クランプ回路部の出力電位を強制的にグランドに固定することで、積分容量リセットスイッチで発生するリセットノイズを除去します。最終段アンプは非反転増幅器で、信号はデータビデオ信号として出力されます。

電圧レギュレータ部で発生する電圧は、VofgとVofdの2種類があります。VofgはMOSトランジスタのゲートに印加されるため、OFG端子にはほとんど電流が流れません。OFD端子には過飽和の状態に応じた電流が流れ、最大で数十mA程度流れる場合があります。過飽和で使用する場合は、Vofdには駆動能力を上げて電流を流せるようにします。

[図13] 外部駆動回路のタイミングチャート例

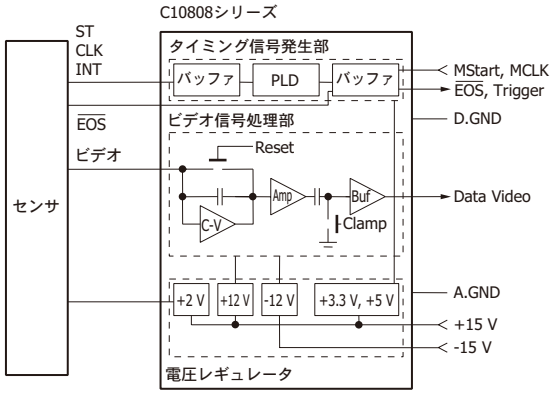


◉ 駆動回路を作成する際の注意点

- アナログ回路部とデジタル回路部のグランドを分離してください。
- ビデオ出力端子からアンプ入力端子までを最短で配線してください。
- アナログ／デジタル信号の交差・並走をできるだけ避けて配線してください。
- 電圧変動の小さいシリーズ電源を使用してください。

なお、CMOSリニアイメージセンサ S10121～S10124シリーズ (-01)、S15908-512Q、S15909-1024Q用駆動回路として、C10808シリーズを用意しています。C10808シリーズの詳細については、データシートを参照してください。

[図14] C10808シリーズのブロック図



7 Q&A

◉ CMOSリニアイメージセンサ S10121～S10124シリーズ (-01)、S15908-512Q、S15909-1024QとNMOSリニアイメージセンサ S3901～S3904シリーズの違いは何ですか?

表1の比較表を参照してください。S10121～S10124シリーズ (-01)、S15908-512Q、S15909-1024Qは、大飽和電荷量と蓄積時間可変機能を特長としています。また、S10121～S10124シリーズ (-01)は紫外域でなめらかな分光感度特性、S15908-512Q、S15909-1024Qは紫外から近赤外域でなめらかな分光感度特性を実現しています [図2 (b)]。

◉ ダミービデオ端子は、どのようにして用いますか?

ダミービデオ端子からは、スイッチングノイズ成分のみが出力されます。ダミービデオ端子は、電流−電圧変換方式の場合に使用しますが、この方式では精度よく読み出すことが難しいため、推奨していません。なお、電流−積分方式の読み出し回路を用いる場合には、ダミービデオ端子は使用しません。

◉ 電気的特性の条件欄に記載されたVbとは、どの電圧のことですか?

Vbは電流積分読み出し方式を行う場合のビデオバイアス電圧で、イメージセンサにはVb用の端子はありません。図12に積分回路の接続例とVbを示していますので、参照してください。Vbは積分アンプの非反転入力端子の電圧で、フォトダイオードのリセット電圧となります。

◉ VbとVofdは、同じ電圧で動作させる必要がありますか。

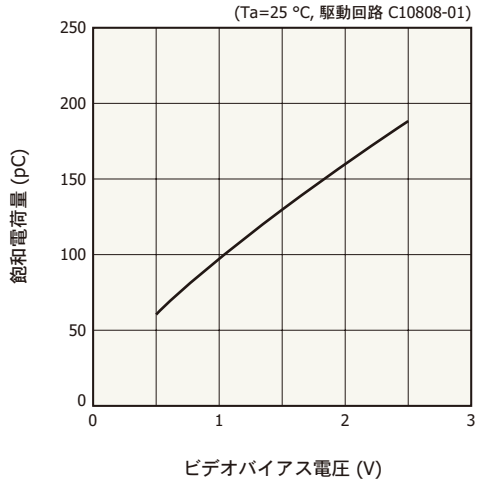
通常は、VbとVofdを同じ電圧にして動作させてください。Vofdは、オーバーフロードレイン用MOSトランジスタのドレイン部に接続されています。図3 (b)に等価回路を示しています。過飽和時には、Vofdからフォトダイオードに電流が流れます。たとえば10万*lx*といった非常に強い光が照射された場合は、数十mAの電流が流れるため、オペアンプをバッファ用に接続した回路を推奨します。

◉ ビデオバイアス電圧 Vbの最適電圧を教えてください。

ビデオバイアス電圧と飽和電荷量の測定例を図15に示します。ビデオバイアス電圧は、0.5 V～2.5 Vで2 V typ.です。

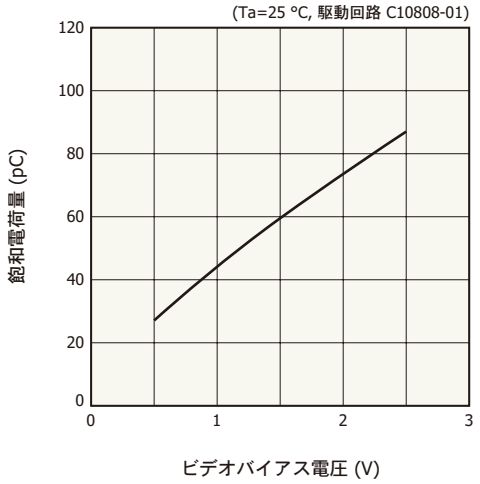
[図15] ビデオバイアス電圧ー飽和電荷量 (代表例)

(a) S10121-512Q-01



KMPDB0402JA

(b) S10124-1024Q-01



KMPDB0403JA

◉ オーバーフローゲート電圧 Vofgは、0.2 Vにする必要がありますか? 0 Vでは問題がありますか?また、抵抗分割で印加してもよいですか?

Vofgのバラツキにより、飽和電荷量の値が影響を受けます。Vofgが大きくなるほど、飽和電荷量は小さくなります。Vofgは、センサ内ではアンチブルーミング用MOSトランジスタのゲート部に接続されているため、High入力インピーダンスとなっており、ほとんど電流は流れません。したがって、Vofgについては抵抗分割で印加しても問題ありません。また、Vofgを0 Vにして使用すると、タイムラグ (信号の読み残し)の増加、飽和出力付近での画素間感度均一性の悪化などの問題が生じるため、Vofgは0.2 Vで使用してください。

◉ オーバーフロー防止機能 (アンチブルーミング機能)は、どの程度の光量まで機能しますか?

標準条件の場合、飽和露光量の100倍まではブルーミングが発生しないことを確認しています。

◉ 200 nm以下の波長の光に対して感度はありますか? その際の使用上の注意はありますか?

200 nm以下の波長の光に対して多少の感度はありますが、保証外のためお客様の責任で使用してください。

◉ EOSパルスには、どのような機能がありますか?

EOSパルスを確認することで、シフトレジスタがすべての段において正常に動作しているかどうかを判断することができます。

◉ 電流積分方式の読み出し回路を用いる際、Cfの値はどのように設定すればよいですか。

飽和出力電荷量 Qsatと使用するアンプの出力電圧などを考慮して設定してください。たとえば、S10121シリーズ(-01)の場合では、飽和出力電荷量 Qsatが165 pCであり、オペアンプの出力電圧がビデオバイアス電圧に対して5 Vの振幅が取れる場合は、Cf=Qsat/V=165 pC/5 V=33 pFとなります。

◉ 電流積分方式の読み出し回路を作製する際の注意点を教えてください。

電流積分方式の読み出し回路として、ICを選定する際は、以下の点に留意してください。

① 初段アンプ: 初段アンプには、低ノイズで入力バイアス電流の少ないものを、切り替えスピードを考慮して選んでください。

② 2段/3段アンプ: 負荷容量に強いアンプを選んでください。

③ リセット用スイッチおよびクランプ用スイッチ: FETまたはアナログスイッチを使用します。なるべくオン抵抗が小さく、リセットノイズとチャージインジェクションの小さいものを選んでください。また、信号の電圧範囲を考慮する必要があります。

◉ 石英窓以外の窓材や窓なしへの対応は可能ですか?

窓なしへの対応は可能です。営業所にご相談ください。石英窓以外の窓材の対応についても、ご相談ください。

◉ 蓄積時間可変機能を用いずに、すべての画素を読み出す場合は、INTパルスはLow電圧に保持したままで問題ありませんか?

シフトレジスタから発生される内部パルス $\overline{Q}$は、CLKの立ち下がり時 [図6 グレー部分]に立ち下がり・立ち上がりが重なっており、INTパルスを常時Low電圧とした場合、2画素の読み出しスイッチが同時にオンしてしまう恐れがあります。そのため、CLKの立ち下がり時の±30 nsは必ずHighになるようにINTパルスを入力する必要があります。

◉ 暗出力リファレンスは、ビデオ出力のどの部分を参照すればよいでしょうか。

ダーク時の各画素のビデオ出力を参照してください。本製品には、CCDのオプティカルブラックのような暗出力リファレンスはありません。

◉ はんだ付け条件を教えてください。

はんだ温度 260 ℃以下、5秒以内で行ってください。この条件は、1端子に対しての加熱時間ですが、複数の端子を連続してはんだ付けを行っても問題ありません。また、製品のパッケージ部に熱が伝わらないように、リード根元をピンセットなどでつまんで放熱させることを推奨します。この条件内であれば、鉛フリーはんだの使用も問題ありません。なお、本製品は、フロー方式によるはんだ付けには対応していません。

本資料の記載内容は、令和5年4月現在のものです。
製品の仕様は、改良などのため予告なく変更することがあります。本資料は正確を期するため慎重に作成されたものですが、まれに誤記などによる誤りがある場合があります。本製品を使用する際には、必ず納入仕様書をご用命の上、最新の仕様をご確認ください。
本製品の保証は、納入後1年以内に瑕疵が発見され、かつ弊社に通知された場合、本製品の修理または代品の納入を限度とします。ただし、保証期間内であっても、天災および不適切な使用に起因する損害については、弊社はその責を負いません。
本資料の記載内容について、弊社の許諾なしに転載または複製することを禁じます。

浜松ホトニクス株式会社

www.hamamatsu.com

仙台営業所	〒980-0021	仙台市青葉区中央3-2-1 (青葉通プラザ11階)	TEL (022) 267-0121	FAX (022) 267-0135
筑波営業所	〒305-0817	つくば市研究学園5-12-10 (研究学園スクウェアビル7階)	TEL (029) 848-5080	FAX (029) 855-1135
東京営業所	〒100-0004	東京都千代田区大手町2-6-4 (常盤橋タワー11階)	TEL (03) 6757-4994	FAX (03) 6757-4997
中部営業所	〒430-8587	浜松市中区砂山町325-6 (日本生命浜松駅前ビル)	TEL (053) 459-1112	FAX (053) 459-1114
大阪営業所	〒541-0052	大阪市中央区安土町2-3-13 (大阪国際ビル10階)	TEL (06) 6271-0441	FAX (06) 6271-0450
西日本営業所	〒812-0013	福岡市博多区博多駅東1-13-6 (いちご博多イーストビル5階)	TEL (092) 482-0390	FAX (092) 482-0550

固体営業推進部　〒435-8558　浜松市東区市野町1126-1　TEL (053) 434-3311　FAX (053) 434-5184

Cat. No. KMPD9008J04 Apr. 2023 DN