

CMOSリニアイメージセンサ



S16074

低消費電力、SPIによる画素サイズの切り替えが可能

S16074は、産業用カメラ向けに開発されたCMOSリニアイメージセンサです。タイミング発生回路、バイアス発生回路、アンプ、12-bit A/D変換器を内蔵しています。ビデオ信号は320 MHzのLVDS方式で、シリアル出力されます。受光部には画素サイズ 7 × 7 μm、9.3 × 9.3 μm、14 × 14 μmの3ラインが並列されており、SPI設定による切り替えが可能です。

特長

- 画素サイズ: 7 × 7 μm, 9.3 × 9.3 μm, 14 × 14 μm
- 高速読み出し: 65 klines/s max. (画素サイズ: 14 × 14 μm)
- 全画素同時蓄積
- 3.3 V電源動作
- SPI通信機能
- 12-bit A/D変換器を搭載

用途

- マシンビジョン
- フィルム検査
- プリント基板外観検査
- 印字検査

構成

項目	仕様			単位
	①	②	③	
受光部*1	①	②	③	-
総画素数	4160	3120	2080	-
有効画素数	4096	3072	2048	-
ダミー画素*2 *3	16	12	8	画素
遮光画素*3 *4	16	12	8	画素
画素ピッチ*5	7	9.3	14	μm
画素高さ*5	7	9.3	14	μm
パッケージ	セラミック			-
窓材*6	硼珪酸ガラス			-

*1: 外形寸法図 (P.15)・有効受光部拡大図 (P.16)を参照。SPIによって切り替えが可能。

*2: 有効画素の左右の外側にある画素で、有効画素と同じ構造のため、入射光に応じた出力があります。

*3: 初期設定では読み出されません。SPI設定により読み出しに切り替えが可能です。

*4: ダミー画素の左右の外側にある遮光された画素 (オプティカルブラック)

*5: SPIにより選択可能

*6: ARコート付き (両面マルチコート、400~800 nmで反射率 1%以下)

■ 絶対最大定格 (Ta=25 °C)

項目	記号	条件	定格値	単位
電源電圧	アナログ端子	Vdd(A)	-0.3 ~ +3.9	V
	デジタル端子	Vdd(D)	-0.3 ~ +3.9	V
デジタル入力信号端子電圧*7	Vi		-0.3 ~ +3.9	V
Vref_cp1端子電圧	Vref_cp1		-0.3 ~ +6.5	V
Vref_cp2端子電圧	Vref_cp2		-2.0 ~ +0.3	V
動作温度	Topr	結露なきこと*8	-40 ~ +85	°C
保存温度	Tstg	結露なきこと*8	-40 ~ +85	°C

*7: CS, SCLK, MOSI, RSTB, MCLK, MST, All_Reset, PLL_Reset

*8: 高温環境においては、製品とその周囲で温度差があると製品表面が結露しやすく、特性や信頼性に影響が及ぶことがあります。

注) 絶対最大定格を一瞬でも超えると、製品の品質を損なう恐れがあります。必ず絶対最大定格の範囲内で使用してください。

■ 推奨動作条件 (Ta=25 °C)

項目	記号	Min.	Typ.	Max.	単位	
電源電圧	アナログ端子	Vdd(A)	3.15	3.3	3.45	V
	デジタル端子	Vdd(D)	3.15	3.3	3.45	
デジタル入力電圧	Highレベル	Vi(H)	Vdd(D) - 0.25	Vdd(D)	Vdd(D) + 0.25	V
	Lowレベル	Vi(L)	0	-	0.3	

■ 電気的特性

デジタル入力信号

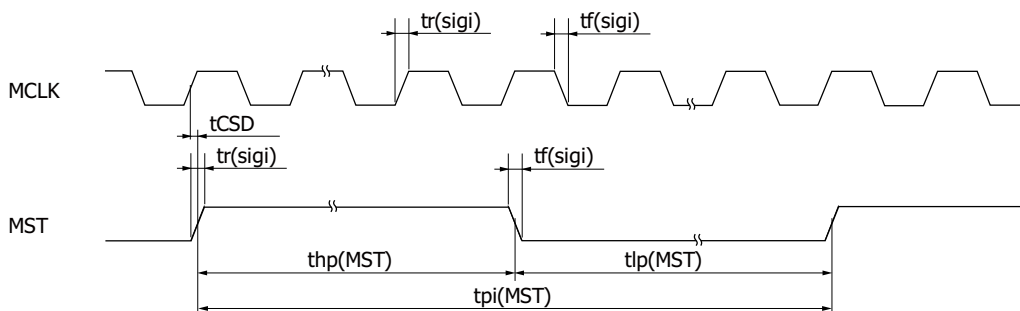
[Ta=25 °C, Vdd (A)=Vdd (D)=3.3 V]

項目	記号	Min.	Typ.	Max.	単位
マスタークロックパルス周波数	f(MCLK)	15	-	40	MHz
マスタークロックパルスデューティ周期	D(MCLK)	45	50	55	%
マスタースタートパルス 周期	7 × 7 μm	1127/f(MCLK)	-	-	s
	9.3 × 9.3 μm	871/f(MCLK)	-	-	
	14 × 14 μm	615/f(MCLK)	-	-	
マスタースタートパルス	High期間	thp(MST)	-	-	s
	Low期間	tlp(MST)	-	-	
マスタークロック - マスタースタート遅延時間	tCSD	0	-	5	ns
マスタークロック - リセット遅延時間*9	tCRD	-	-	5	ns
上昇時間*10	tr(sigi)	-	5	7	ns
下降時間*10	tf(sigi)	-	5	7	ns

*9: MCLK の立ち上がりに対するPLL_ResetおよびAll_Resetの立ち上がりの遅延時間

*10: 入力電圧が10%から90%の間で上昇/下降する時間

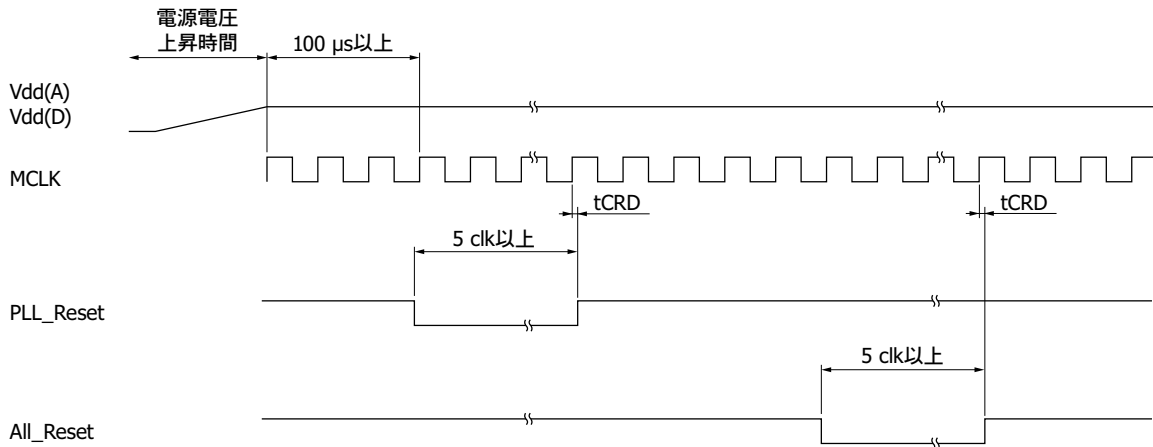
■ MCLK, MST入カタイミング



KMPDC0677EB

■ PLL_Reset, All_Reset入カタイミング

電源を投入した100 μs以上後にPLL_Reset, All_Resetの順で、それぞれマスタークロックパルス 5 clk以上の期間をLowにしてください。



KMPDC1009JA

デジタル出力信号

[Ta=25 °C, Vdd (A)=Vdd (D)=3.3 V, f (MCLK)=40 MHz]

項目	記号	Min.	Typ.	Max.	単位	
ビデオデータレート (LVDS)	DR	f(MCLK) × 8			MHz	
ラインレート	7 × 7 μm	-	-	35	klines/s	
	9.3 × 9.3 μm	-	-	46		
	14 × 14 μm	-	-	65		
LVDS出力電圧*11	オフセット	Vcom	1.25	1.38	V	
	差動	Vdiff	0.35	0.45		
LVDS上昇時間*12	tr(LVDS)	-	0.9	1.3	ns	
LVDS下降時間*12	tf(LVDS)	-	0.9	1.3	ns	
ビット出力同期信号ービデオ出力遅延時間*13	tPDD	-0.8	0.1	1	ns	
ビット出力同期信号ー画素同期信号遅延時間*13	tPDC	-0.75	0.15	1.05	ns	
ビット出力同期信号ーフレーム同期信号遅延時間	上昇時間*13	tPDSR	-1.35	-0.45	0.55	ns
	下降時間*13	tPDSF	-1.35	-0.45	0.55	
CMOS出力電圧	High	Vsigo(H)	Vdd(D) - 0.25	Vdd(D)	-	V
	Low	Vsigo(L)	-	0	0.25	
タイミング発生回路クロックパルス周波数	f(TGCLK)	-	f(MCLK)	-	MHz	
CMOS出力上昇時間*14	tr(sigo)	-	10	12	ns	
CMOS出力下降時間*14	tf(sigo)	-	10	12	ns	

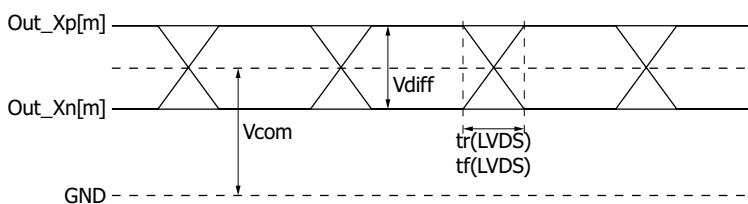
*11: LVDS出力端子には、終端抵抗100 Ωを付けてください。

*12: 出力端子に2 pFの負荷容量が付いたときに、出力電圧が10~90%の間で上昇/下降する時間

*13: pclk_delay [5:0]=6

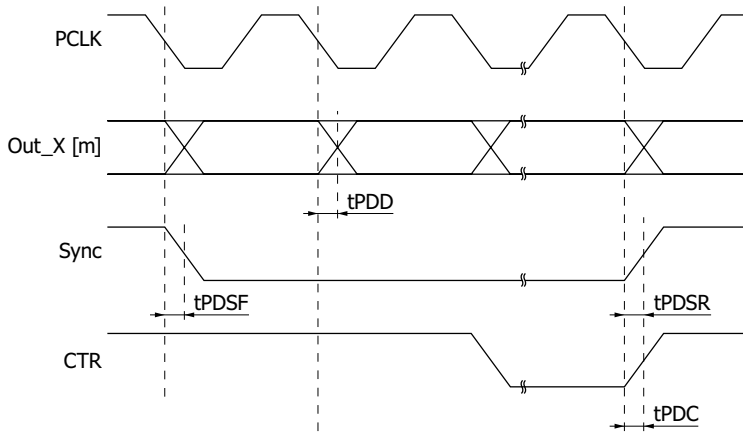
*14: 出力端子に10 pFの負荷容量が付いたときに、出力電圧が10~90%の間で上昇/下降する時間

■ LVDS出力電圧



KMPDC0658EB

■ 同期信号、ビデオ信号



KMPDC0927EA

- 各波形は、LVDSのポジティブ信号とネガティブ信号の差分を表します。
- Out_X[m]はビデオ出力です。
X: A, B (ポート)
m: 0=0~3-bit, 1=4~7-bit, 2=8~11-bit
- PCLKの立ち上がりでビデオ出力を取り込んでください。
- Syncの立ち上がり後にビデオ出力を開始します。Syncをデータ取り込み時の基準にしてください [タイミングチャート (P.9)参照]。
- CTRの立ち上がりと同時にOut_X[0]はD0から、Out_X[1]はD4から、Out_X[2]はD8から順に出力します。CTRをデータ取り込み時の基準にしてください [タイミングチャート (P.10)参照]。

消費電流

[Ta=25 °C, Vdd (A)=Vdd (D)=3.3 V, f(MCLK)=40 MHz]

項目	記号	Min.	Typ.	Max.	単位
Vdd(A)端子	Ic1	275	320	365	mA
Vdd(D)端子	Ic2	135	160	185	

■ A/D変換器の電気的特性 [Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, f(MCLK)=40 MHz]

項目	記号	仕様	単位
解像度	RESO	12	bit
変換電圧範囲	-	0 ~ 1.3	V

■ 電気的および光学的特性 [Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, f(MCLK)=40 MHz, オフセット: 初期値]

項目	記号	ゲイン	画素サイズ	Min.	Typ.	Max.	単位
感度波長範囲	λ	-		400~1000			nm
最大感度波長	λ_p	-		-	700	-	nm
受光感度*15	Sw	1	7 × 7 μm	-	45	-	V/(lx·s)
			9.3 × 9.3 μm	-	72	-	
			14 × 14 μm	-	54	-	
		8	7 × 7 μm	-	360	-	
			9.3 × 9.3 μm	-	574	-	
			14 × 14 μm	-	430	-	
変換係数	CE	1	7 × 7 μm	-	42	-	$\mu\text{V}/e^-$
			9.3 × 9.3 μm	-	38	-	
			14 × 14 μm	-	13	-	
		8	7 × 7 μm	-	336	-	
			9.3 × 9.3 μm	-	304	-	
			14 × 14 μm	-	104	-	
出力オフセットレベル	Voffset	-	-	550	-	DN	
暗出力*16	VD	1	7 × 7 μm	-	0.5	20	mV
			9.3 × 9.3 μm	-	0.4	15	
			14 × 14 μm	-	0.24	9.6	
		8	7 × 7 μm	-	4	160	
			9.3 × 9.3 μm	-	3.2	120	
			14 × 14 μm	-	1.9	77	
飽和出力	Vsat	-	1.05	1.13	-	V	
飽和電荷量	Qsat	1	7 × 7 μm	25	27	-	ke ⁻
		1	9.3 × 9.3 μm	28	30	-	
		1	14 × 14 μm	81	87	-	
読み出しノイズ*17	Nread	1		-	0.6	1.9	mV rms
		8		-	1.6	4.7	
SNR max.	-	1	7 × 7 μm	43	44	-	dB
			9.3 × 9.3 μm	44	45	-	
			14 × 14 μm	48	49	-	
		8	7 × 7 μm	34	35	-	
			9.3 × 9.3 μm	35	36	-	
			14 × 14 μm	39	40	-	
ダイナミックレンジ*18	Drange	1		550	1900	-	-
		8		220	700	-	
感度不均一性*19	PRNU	1		-	±5	±10	%
		8		-	±5	±10	
残像*20	Lag	1		-	-	0.1	%

*15: 2856 Kタングステンランプで測定

*16: Ts=10 ms, オフセット出力レベルとの差

*17: 暗状態

*18: Vsat/Nread

*19: 感度不均一性は飽和の50%の露光量の均一光を当てた場合に、次のように定義します。

$$\text{PRNU} = \Delta X / X \times 100 (\%)$$

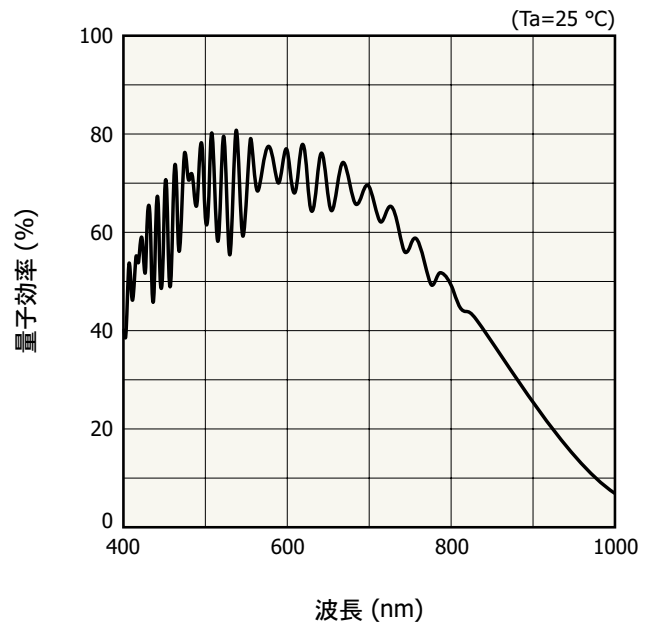
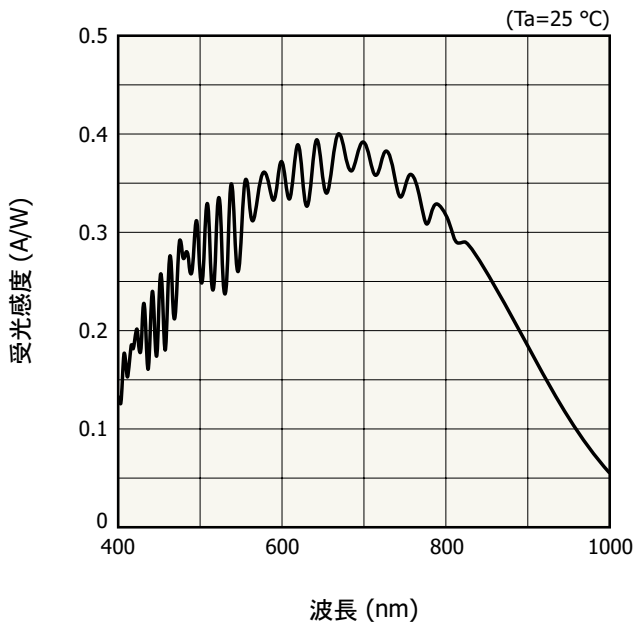
X: N画素の出力の平均

 ΔX : N画素における最大または最小出力とXとの差N: 4096 (画素サイズ: 7 × 7 μm), 3072 (画素サイズ: 9.3 × 9.3 μm), 2048 (画素サイズ: 14 × 14 μm)

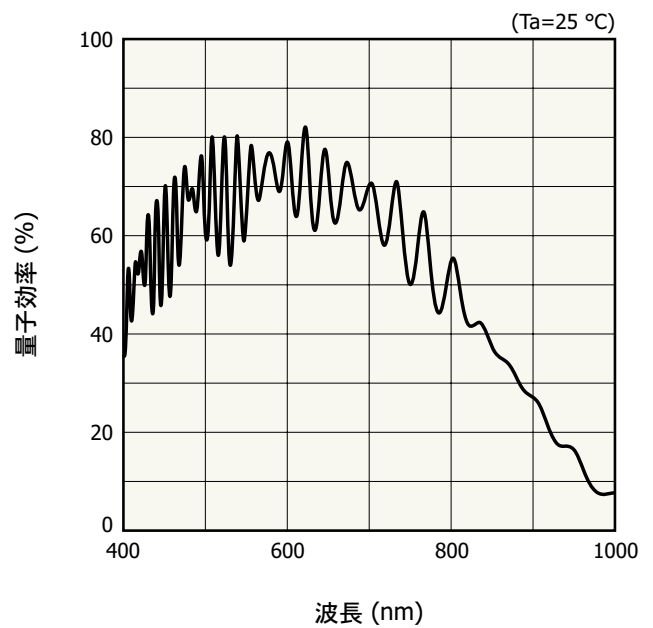
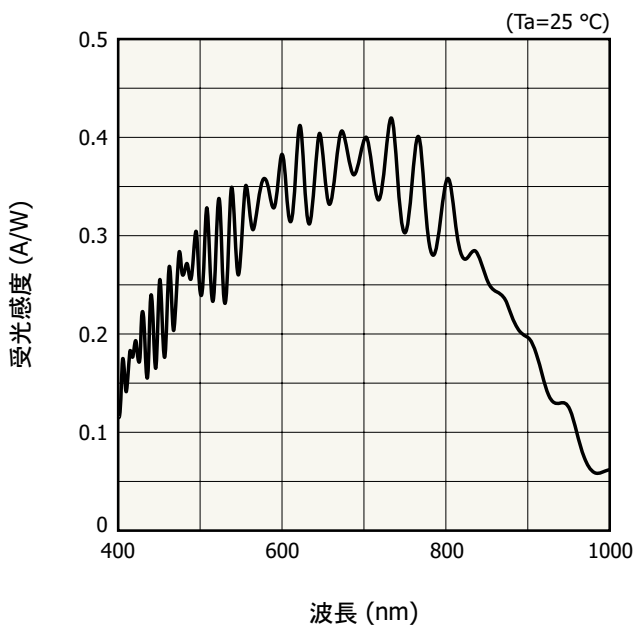
*20: 飽和出力状態で、データを読み出した後に残る、1つ前のデータの信号成分。飽和光量以上の光が入射すると、残像は増加します。

■ 分光感度特性 (代表例)

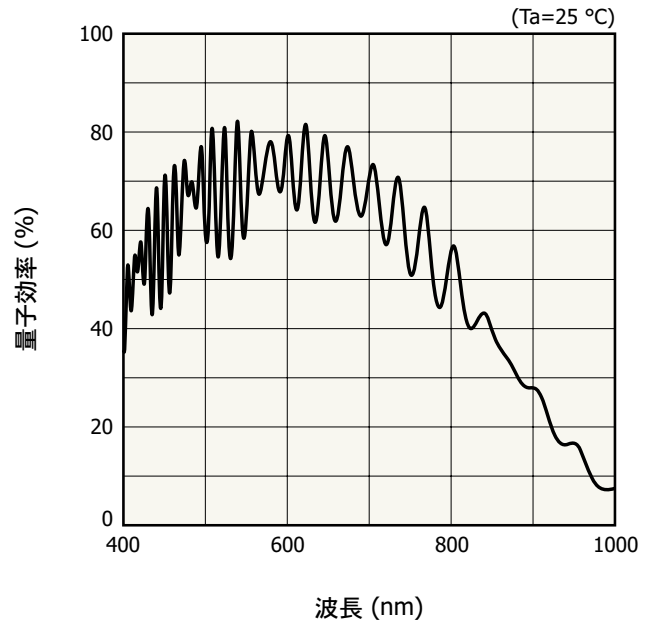
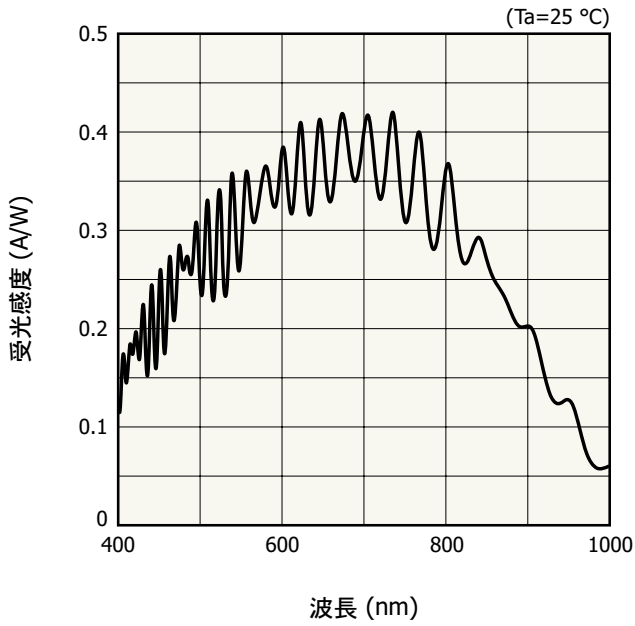
画素サイズ: 7 × 7 μm



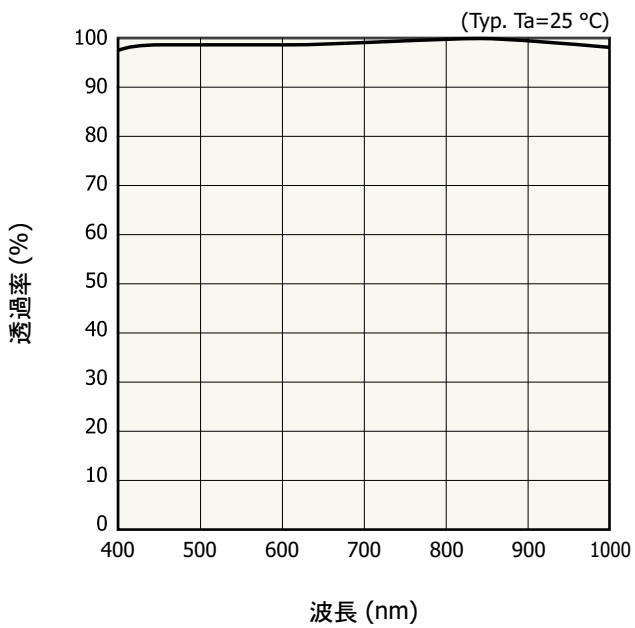
画素サイズ: 9.3 × 9.3 μm



画素サイズ: 14 × 14 μm

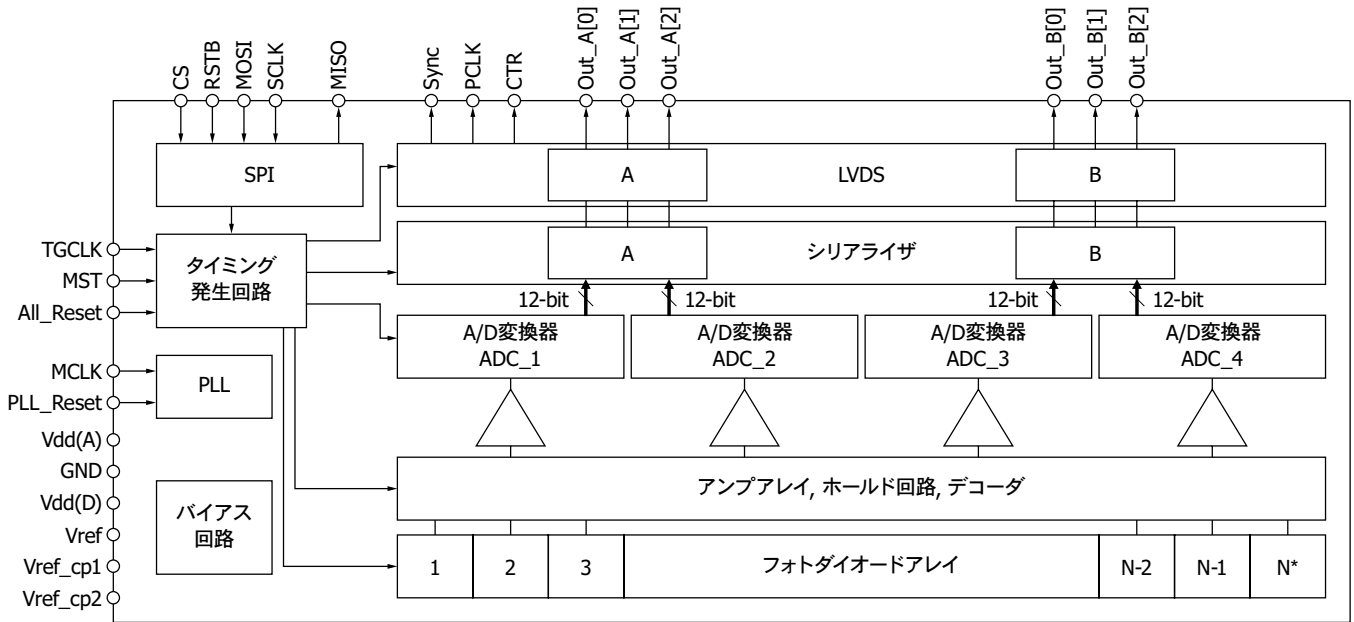


■ 窓材の分光透過特性



■ ブロック図

ビデオ出力信号は、A、B 2ポートに分かれて出力されます。



N=4096 (画素サイズ: 7 × 7 μm)
 3072 (画素サイズ: 9.3 × 9.3 μm)
 2048 (画素サイズ: 14 × 14 μm)

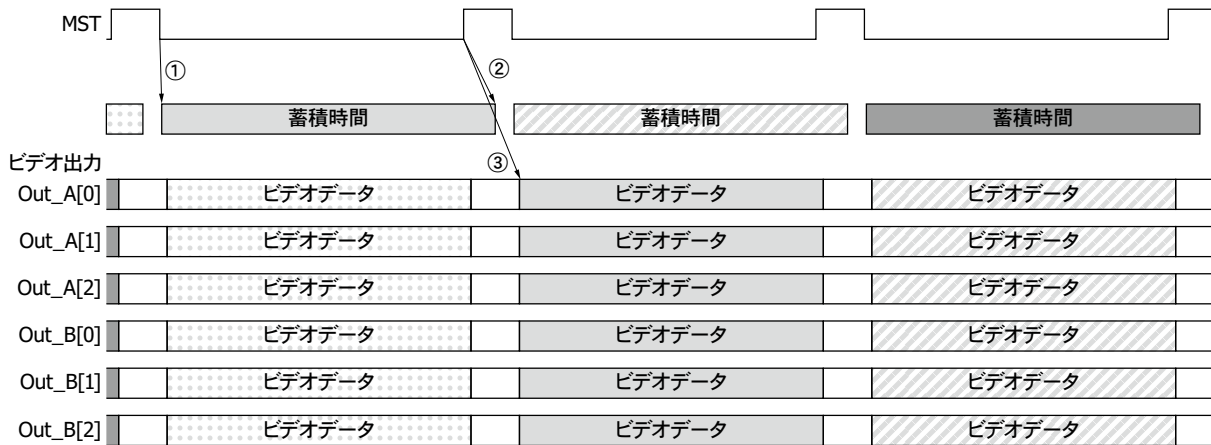
注) ダミー画素、遮光画素を除く

KMPDC09163A

■ タイミングチャート

■ 動作説明

蓄積時間はマスタースタートパルスのLow期間で決まります。



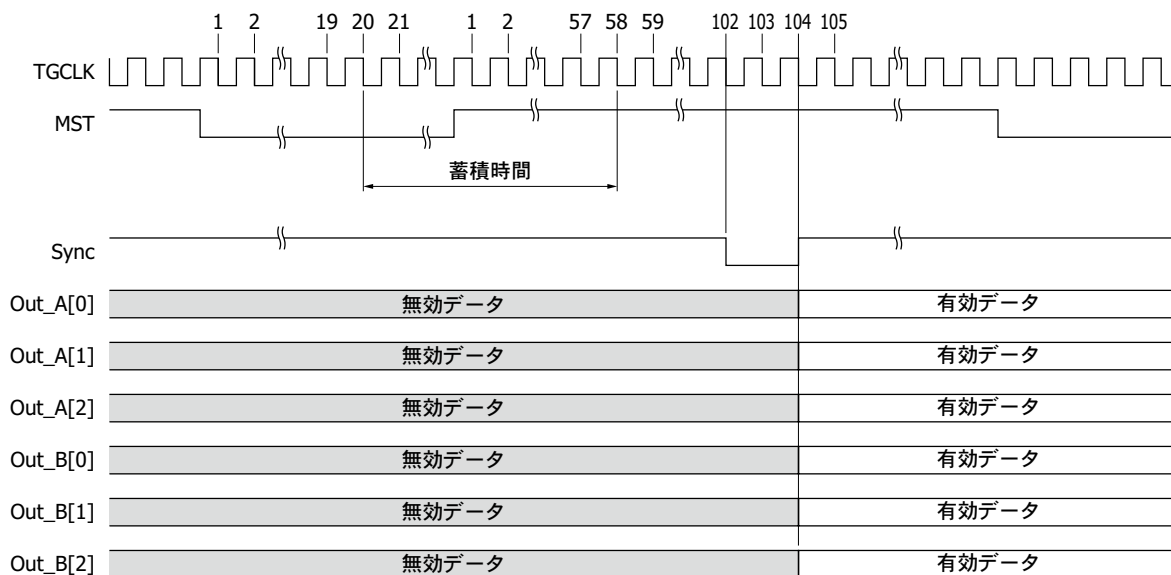
KMPDC09173A

①蓄積時間の開始は、マスタースタートパルスの立ち下がりで決まります。

②蓄積時間の終了は、マスタースタートパルスの立ち上がりで決まります。

③ビデオデータは、マスタースタートパルスの次のフレームの立ち上がりの後に出力されます。ビデオデータは1画素目から順に出力されます。
注) ビデオ出力の間も、信号の蓄積は可能です。

■ 蓄積時間開始・終了タイミング、ビデオ出力開始位置

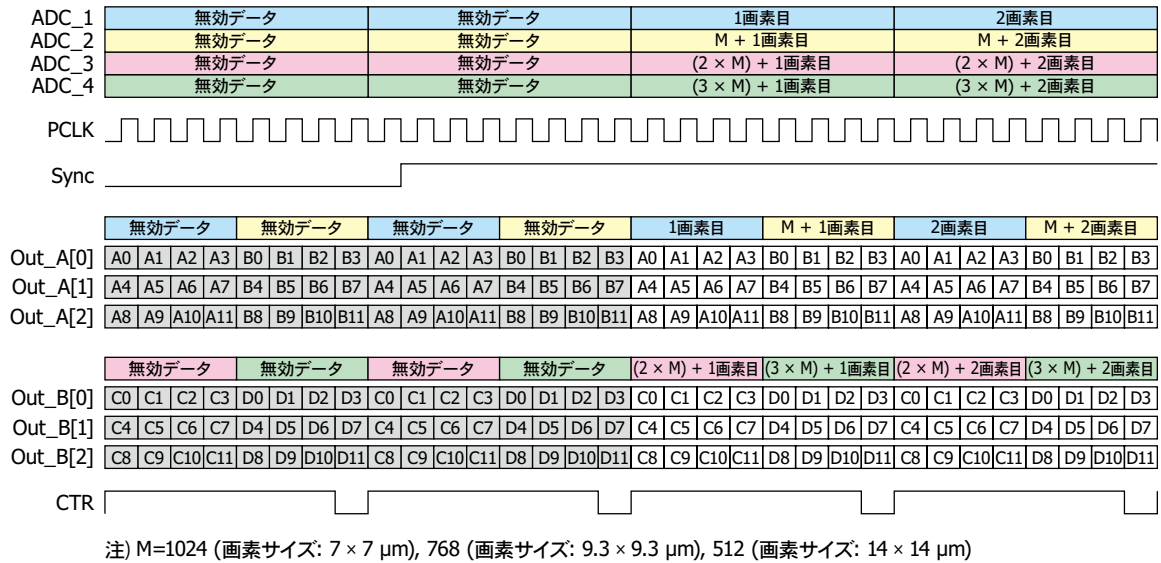


KMPDC09183A

- ・ラインレートは、マスタースタートパルス周期に相当します。
- ・TGCLKは、センサ内部のタイミング発生回路のクロックです。
- ・蓄積時間は、マスタースタートパルスのLow期間 + TGCLKの38周期分に相当します。

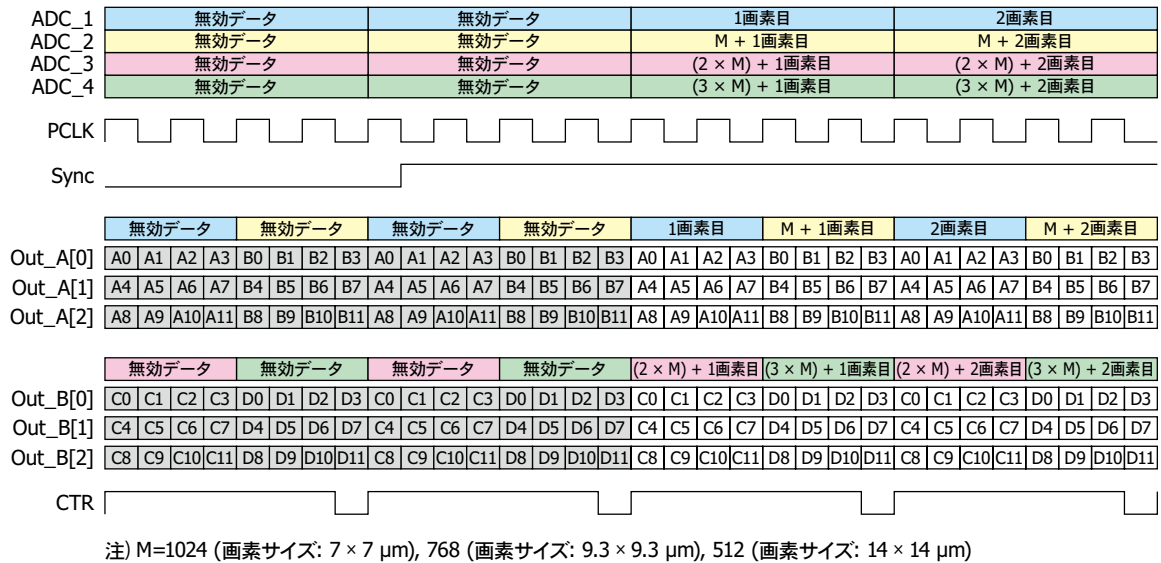
■ ビデオ出力

$$PCLK \text{周波数} = f(MCLK) \times 8$$



KMPDC09193A

$$PCLK \text{周波数} = f(MCLK) \times 4$$



KMPDC09203A

■ SPIのアドレスの設定

アドレス (10進数)	レジスタ	初期値		設定
		2進数	10進数	
0	Mode[1:0]	---- --00	0	画素サイズ, 画素数 (初期設定: 7 × 7 μm, 4096画素)
1	fpclk	---- ---0	0	PCLK周波数 [初期設定: f(CLK) × 8]
2	Dummy	---- ---0	0	ダミー/遮光画素 (初期設定: 読み出しなし)
19	pclk_delay[5:0]	---0 0000	0	PCLKのタイミング (初期設定: pclk_delay[5:0]=0)
20	AGC[4:0]	---1 1101	29	ゲイン (初期設定: ゲイン=1)
21~24	Offset 1~4[7:0]	1000 0000	128	出力オフセット (初期設定: Offset 1~4[7:0]=128)

注) 必ず上の表のアドレスに設定してください。上の表にないアドレスに設定すると、誤作動することがあります。

■ モード

以下の3つのモードから画素サイズ、読み出し画素数を選択できます。

- ・ Mode[1:0]=0: 画素サイズ=7 × 7 μm, 読み出し画素数=4096画素
- ・ Mode[1:0]=1: 画素サイズ=9.3 × 9.3 μm, 読み出し画素数=3072画素
- ・ Mode[1:0]=2: 画素サイズ=14 × 14 μm, 読み出し画素数=2048画素

初期設定は0です。Mode[1:0]=3に設定しないでください。

■ PCLK周波数

以下の2つの設定からPCLK周波数を選択できます。

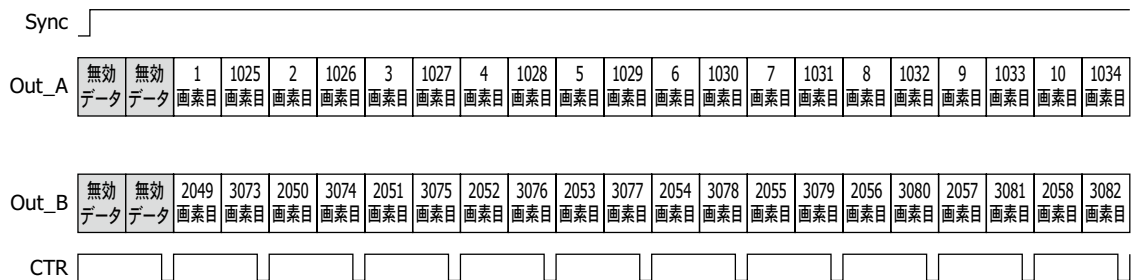
- ・ fpclk=0: PCLK = f(MCLK) × 8
- ・ fpclk=1: PCLK = f(MCLK) × 4

■ ダミー画素、遮光画素 (OB画素)の読み出し

Dummyを設定することで、ダミー画素、遮光画素の読み出しを選択することができます。

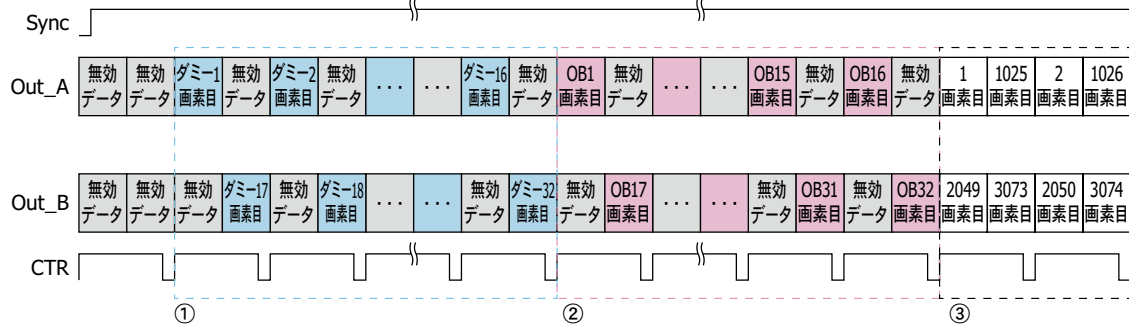
- ・ Dummy=0: ダミー画素と遮光画素の読み出しなし
- ・ Dummy=1: 有効画素の出力前にダミー画素・遮光画素の順番に出力

Mode[1:0]=0, Dummy=0



KMPDC0921JA

Mode[1:0]=0, Dummy=1



- ① Out_Aから、ダミー1画素目からダミー16画素目までを順次読み出します。
Out_Bから、ダミー17画素目からダミー32画素目までを順次読み出します。
- ② Out_Aから、OB1画素目からOB16画素目までを順次読み出します。
Out_Bから、OB17画素目からOB32画素目までを順次読み出します。
- ③ ダミー画素・OB画素を読み出した後に、有効画素を順次読み出します。

KMPDC09223A

■ PCLKのタイミング

PCLKをセンサ内部で遅延させて、出力することができます。
pclk_delay[5:0]が1増加すると、PCLKが約0.15 ns遅延して出力されます。

■ ゲイン設定

以下の表にない設定をすると、センサが正しく動作しない場合があります。以下の表中の設定をしてください。

10進数	AGC[4:0]					ゲイン	説明
	[4]	[3]	[2]	[1]	[0]		
2	0	0	0	1	0	8	
4	0	0	1	0	0	4	
12	0	1	1	0	0	2	
29	1	1	1	0	1	1	初期設定

■ 出力オフセット設定

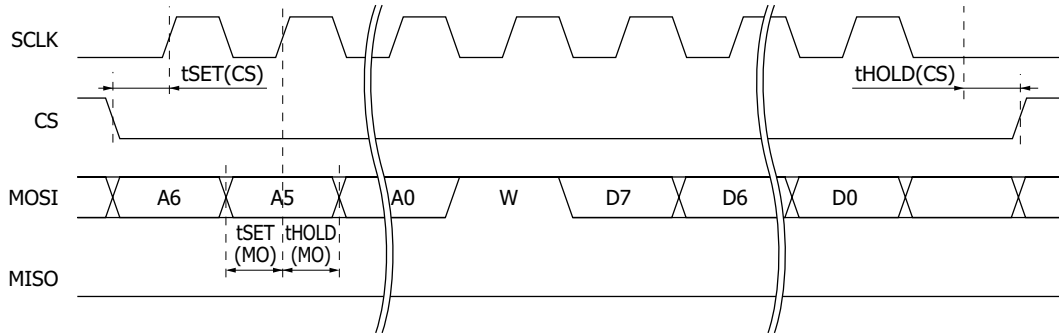
Offset1~4[7:0]を設定することで出力のオフセット値を調整することができます。初期値は128です。Offsetが1増加すると、約10 DN分オフセット値が増加します。アドレス 21~24により設定する画素が異なります。

- ・アドレス21: 1画素からM画素
- ・アドレス22: M + 1画素から2 × M画素
- ・アドレス23: 2 × M + 1画素から3 × M画素
- ・アドレス24: 3 × M + 1画素から4 × M画素

注) M=1024 (画素サイズ: 7 × 7 μm), 768 (画素サイズ: 9.3 × 9.3 μm), 512 (画素サイズ: 14 × 14 μm)

■ SPIの設定

SPIの設定は、SCLK、CS、MOSIを用いて行います。



KMPDC0923EA

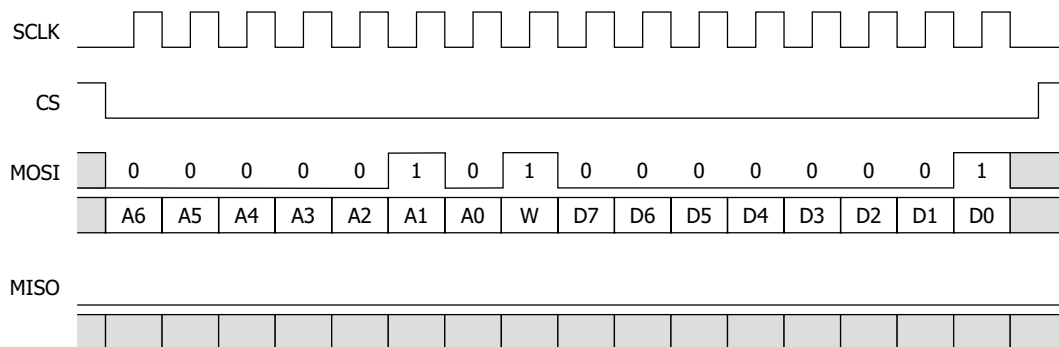
注) CSの立ち下がり/立ち上がり時は、SCLKをLowにしてください。

[Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V]

項目	記号	Min.	Typ.	Max.	単位
SPIクロックパルス周波数	f(SCLK)	-	7.5	10	MHz
SPIセットアップ時間 (CS)	tSET(CS)	7	-	-	ns
SPIホールド時間 (CS)	tHOLD(CS)	7	-	-	ns
SPIセットアップ時間 (MOSI)	tSET(MO)	7	-	-	ns
SPIホールド時間 (MOSI)	tHOLD(MO)	7	-	-	ns

■ SPIの設定例

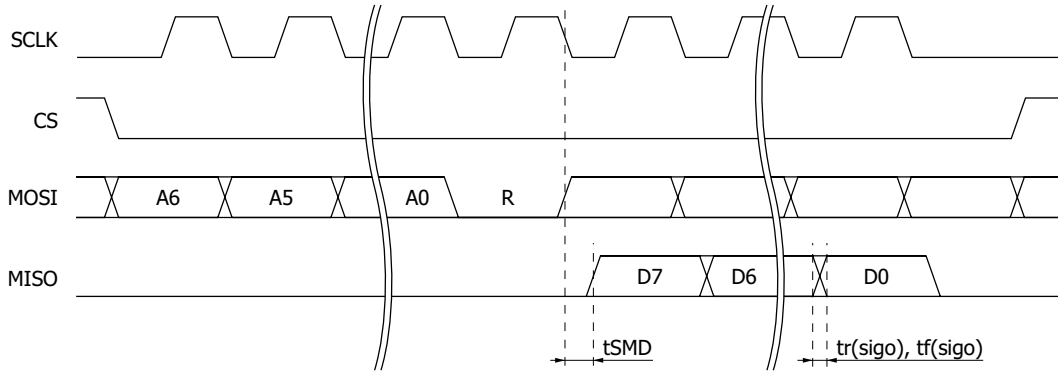
アドレス 0x02に0x01を書き込み



KMPDC0924EA

■ SPI設定の確認

以下の方法で、現状のSPI設定を確認することができます。



KMPDC0925EA

注) CSの立ち下がり/立ち上がり時は、SCLKをLowにしてください。

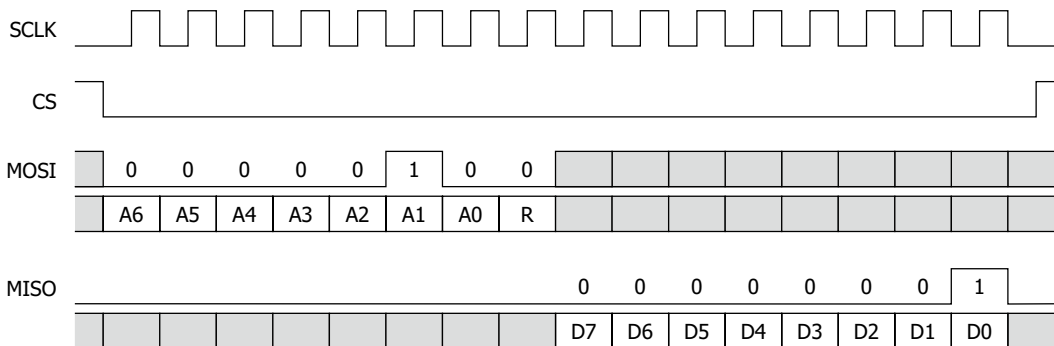
[Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V]

項目	記号	Min.	Typ.	Max.	単位
出力信号上昇時間*21	tr(sigo)	-	10	12	ns
出力信号下降時間*21	tf(sigo)	-	10	12	ns
SCLK-MISO出力遅延時間	tSMD	-	-	25	ns

*21: 出力端子の負荷容量が10 pFの場合、出力電圧が10%から90%まで上昇/下降する時間。

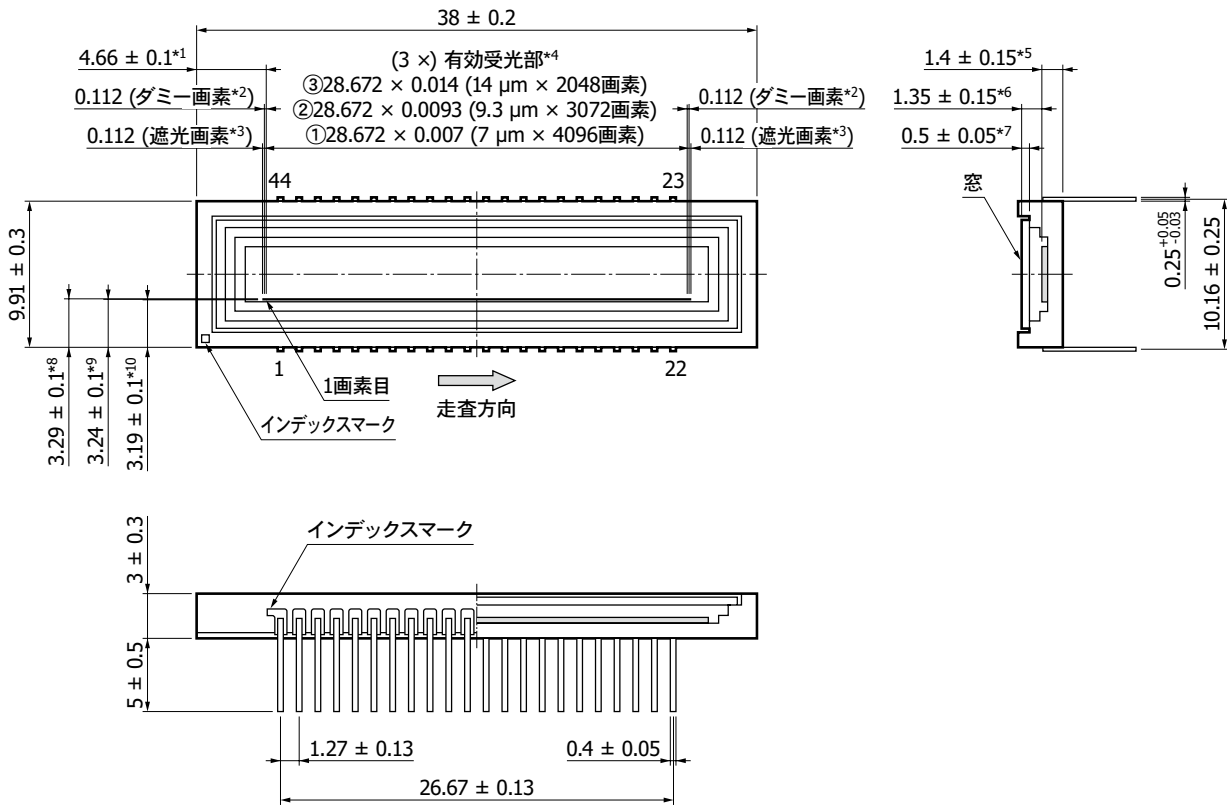
■ SPI設定の確認例

アドレス 0x02で設定されている値を確認



KMPDC0926EA

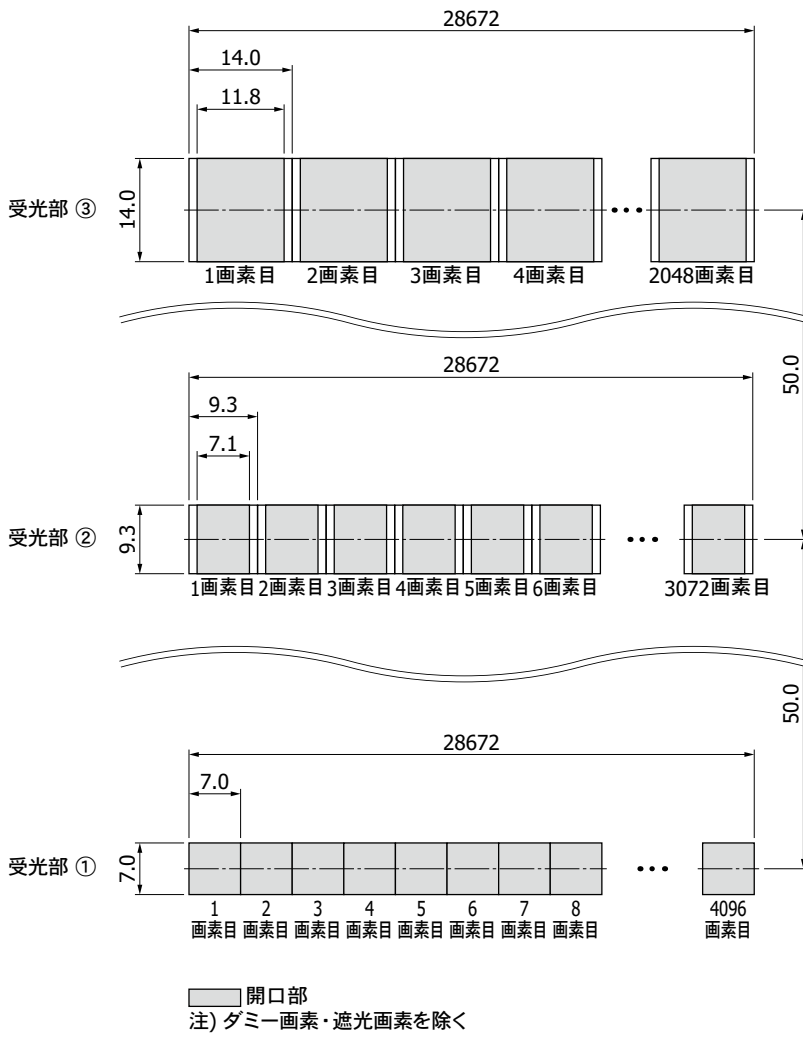
外形寸法図 (単位: mm)

指示なき公差: ± 0.2

- *1: パッケージ端から受光部端までの寸法
- *2: 有効画素の左右の外側にある画素
- *3: ダミー画素の左右の外側にある画素
- *4: 詳細は有効受光部拡大図 (P.16)を参照
- *5: パッケージ底面から受光面までの寸法
- *6: ガラス表面から受光面までの寸法
- *7: ガラスの厚さ
- *8: パッケージ端から受光部③中心までの寸法
- *9: パッケージ端から受光部②中心までの寸法
- *10: パッケージ端から受光部①中心までの寸法

KMPDA06411A

有効画素拡大図 (単位: μm)



KMPDC09283A

■ ピン接続

ピンNo.	記号	機能	I/O	ピンNo.	記号	機能	I/O
1	MISO	SPI出力信号	O	23	Vref1	バイアス電圧*22	O
2	SCLK	SPIクロック信号	I	24	Out_Bp[0]	ビデオ出力信号 (LVDS)	O
3	RSTB	SPIリセット信号	I	25	Out_Bn[0]	ビデオ出力信号 (LVDS)	O
4	MOSI	SPI入力信号	I	26	Out_Bp[1]	ビデオ出力信号 (LVDS)	O
5	CS	SPIイネーブル信号	I	27	Out_Bn[1]	ビデオ出力信号 (LVDS)	O
6	MST	マスタースタート信号	I	28	Out_Bp[2]	ビデオ出力信号 (LVDS)	O
7	All_Reset	タイミング発生回路リセット信号	I	29	Out_Bn[2]	ビデオ出力信号 (LVDS)	O
8	MCLK	マスタークロック信号	I	30	PCLKn	ビット出力同期信号 (LVDS)	O
9	PLL_Reset	逡倍/分周回路リセット信号	I	31	PCLKp	ビット出力同期信号 (LVDS)	O
10	TGCLK	タイミング発生回路クロック信号	O	32	CTRn	画素同期信号 (LVDS)	O
11	GND	グラウンド	-	33	CTRp	画素同期信号 (LVDS)	O
12	Vdd(D)	電源電圧 (3.3 V)	I	34	Syncn	フレーム同期信号 (LVDS)	O
13	GND	グラウンド	-	35	Syncp	フレーム同期信号 (LVDS)	O
14	Vdd(D)	電源電圧 (3.3 V)	I	36	Out_Ap[0]	ビデオ出力信号 (LVDS)	O
15	GND	グラウンド	-	37	Out_An[0]	ビデオ出力信号 (LVDS)	O
16	Vdd(D)	電源電圧 (3.3 V)	I	38	Out_Ap[1]	ビデオ出力信号 (LVDS)	O
17	GND	グラウンド	-	39	Out_An[1]	ビデオ出力信号 (LVDS)	O
18	Vdd(A)	電源電圧 (3.3 V)	I	40	Out_Ap[2]	ビデオ出力信号 (LVDS)	O
19	GND	グラウンド	-	41	Out_An[2]	ビデオ出力信号 (LVDS)	O
20	Vdd(A)	電源電圧 (3.3 V)	I	42	Vref2	バイアス電圧*22	O
21	GND	グラウンド	-	43	Vref_cp2	昇圧回路用バイアス電圧 (-1.5 V)*22	O
22	Vdd(A)	電源電圧 (3.3 V)	I	44	Vref_cp1	昇圧回路用バイアス電圧 (5.5 V)*22	O

*22: VrefとGNDの間に1 μ Fのコンデンサを挿入してください。

注) 空き端子 (NC)はオープンとして、GNDには接続しないでください。

注) ビデオ出力の記号の定義は以下の通りです。

Out_An[0]

[0]: 0~3-bit, [1]: 4~7-bit, [2]: 8~11-bit
 p: 差動ペアの+側入力, n: 差動ペアの-側入力
 A~B: 出力ポート

■ 推奨はんだ付け条件

項目	仕様	備考
はんだ温度	260 °C max. (5秒以内)	

注) はんだ条件の設定時には、あらかじめ実験を行って製品に問題が発生しないことを確認してください。

■ 使用上の注意

(1) 静電気対策

本製品は静電気に対する保護回路を内蔵していますが、静電気による破壊を未然に防ぐために、作業員・作業台・作業工具の接地などの静電気対策を実施してください。また、周辺機器からのサージ電圧を防ぐようにしてください。

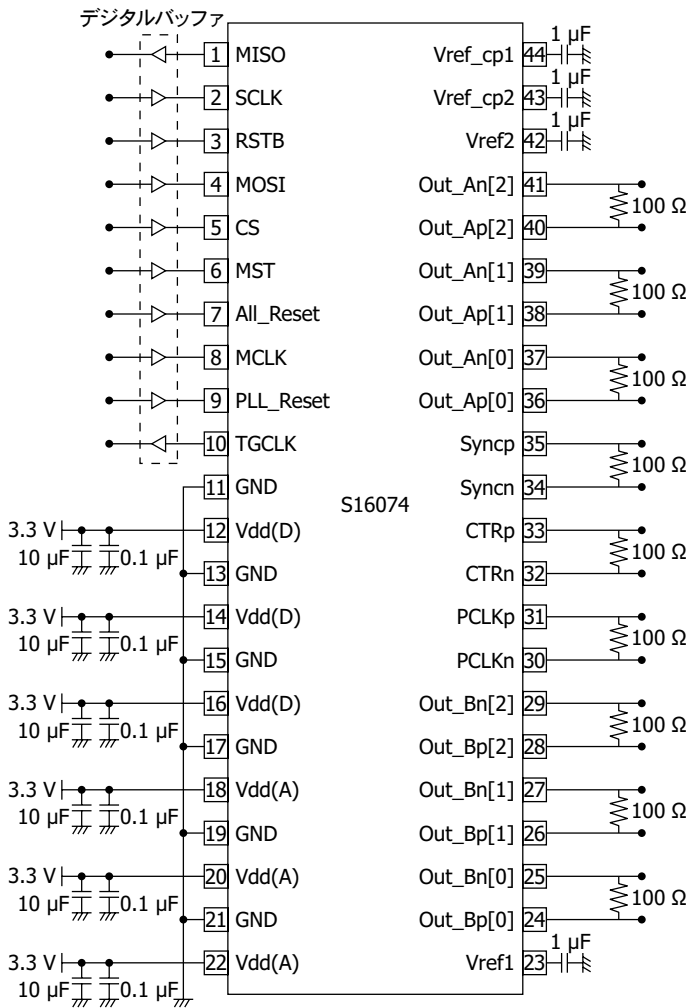
(2) 入射窓

入射窓ガラスの表面にゴミや汚れが付着すると画像に黒キズとして現れます。ゴミや汚れを拭き取る場合、乾いた布や綿棒などでこすると静電気発生の原因となります。アルコール類を少量含ませた柔らかい布・紙・綿棒などでゴミや汚れを拭き取り、シミが残らないように圧搾気体を吹き付けてください。

(3) 紫外線照射

本製品は紫外線照射による特性劣化を抑えるように設計されていないため、紫外線を照射しないでください。

接続回路例



KMPDC09293A

注) MISO、TGCLKを使用しない場合、デジタルバッファは不要です。

関連情報

www.hamamatsu.com/sp/ssd/doc_ja.html

■ 注意事項

- ・製品に関する注意事項とお願い
- ・イメージセンサ／使用上の注意

■ 技術情報

- ・CMOSリニアイメージセンサ

本資料の記載内容は、令和6年1月現在のものです。

製品の仕様は、改良などのため予告なく変更することがあります。本資料は正確を期するため慎重に作成されたものですが、まれに誤記などによる誤りがある場合があります。本製品を使用する際には、必ず納入仕様書をご用命の上、最新の仕様をご確認ください。

本製品の保証は、納入後1年以内に瑕疵が発見され、かつ弊社に通知された場合、本製品の修理または代品の納入を限度とします。ただし、保証期間内であっても、天災および不適切な使用に起因する損害については、弊社はその責を負いません。

本資料の記載内容について、弊社の許諾なしに転載または複製することを禁じます。

浜松ホトニクス株式会社

www.hamamatsu.com

仙台営業所	〒980-0021 仙台市青葉区中央3-2-1 (青葉通プラザ11階)	TEL (022) 267-0121 FAX (022) 267-0135
東京営業所	〒100-0004 東京都千代田区大手町2-6-4 (常盤橋タワー11階)	TEL (03) 6757-4994 FAX (03) 6757-4997
中部営業所	〒430-8587 浜松市中央区砂山町325-6 (日本生命浜松駅前ビル)	TEL (053) 459-1112 FAX (053) 459-1114
大阪営業所	〒541-0052 大阪市中央区安土町2-3-13 (大阪国際ビル10階)	TEL (06) 6271-0441 FAX (06) 6271-0450
西日本営業所	〒812-0013 福岡市博多区博多駅東1-13-6 (いちご博多イーストビル5階)	TEL (092) 482-0390 FAX (092) 482-0550

固体営業推進部 〒435-8558 浜松市中央区市野町1126-1 TEL (053) 434-3311 FAX (053) 434-5184