

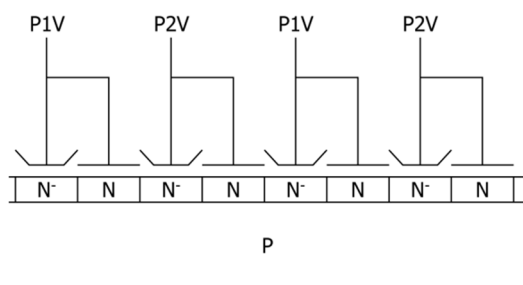
電子シャッタ機能付レジスティブゲート型 CCD リニアイメージセンサ

1. 特長

(1) 長い受光部、受光部の電荷を高速転送、少ない読み残し

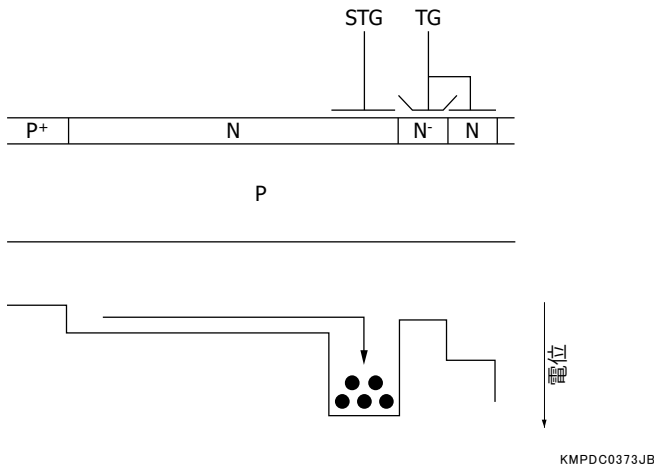
通常の CCD イメージセンサの場合、1 画素内に複数の電極があり、異なったクロックパルスを印加することで信号電荷を転送します [図 1]。フォトダイオード型の CCD リニアイメージセンサでは、受光部にポテンシャルの勾配がつかないため、長方形の画素では読み残しが顕著になります [図 2]。レジスティブゲート構造の場合、受光部に単一の高抵抗電極があり、その両端に異なる電圧を印加してポテンシャルスロープを形成することで信号電荷を転送します [図 3]。CCD エリアイメージセンサをラインビニングし 1 次元のセンサとして使用する場合に比べると、レジスティブゲート型の CCD リニアイメージセンサは、受光部における電荷の高速転送が可能です。またレジスティブゲート型は、フォトダイオード型に比べて長い受光部でも電荷の読み残しが少ない転送を短時間で行うことができます。

[図 1] 通常の 2 相駆動 CCD エリアイメージセンサの概念図と電位

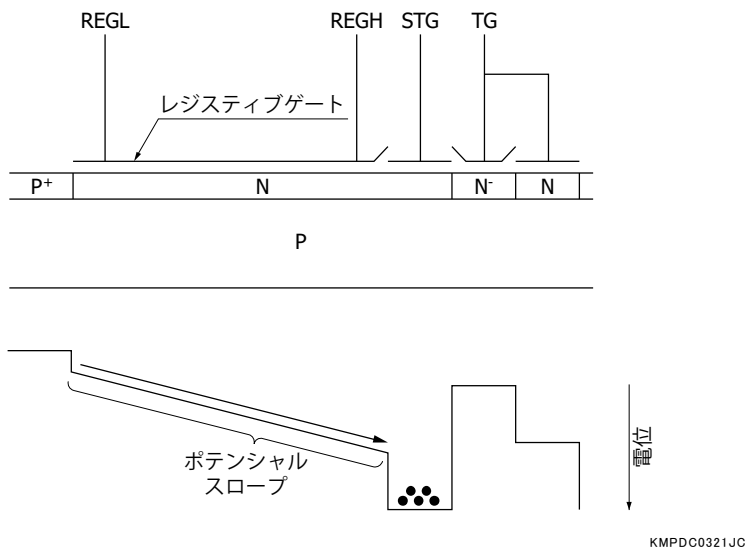


KMPDC0320JB

[図 2] フォトダイオード型 CCD リニアイメージセンサの概念図と電位



[図 3] レジスティブゲート型 CCD リニアイメージセンサの概念図と電位



(2) 電子シャッタ

電子シャッタ機能によって、最小で数 μs の時間で蓄積できます。電子シャッタのタイミングは、外部トリガとの同期が可能です（「4. 電子シャッタとアンチブルーミング」参照）。

(3) アンチブルーミング機能

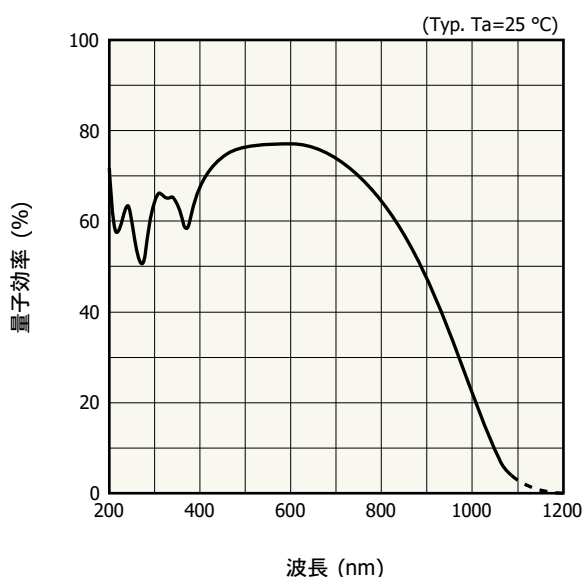
オールリセットゲート電圧の設定により、電子シャッタとともに、アンチブルーミング機能を制御することが可能です（「4. 電子シャッタとアンチブルーミング」参照）。

(4) Non-MPP 動作と MPP 動作が可能

暗電流が無視できるような短い蓄積時間（たとえば 1 ms 以下）で短時間に繰り返し測定を行う場合には、常にポテンシャルスロープを形成した状態で使用します。（Non-MPP 動作）。一方、長時間蓄積する場合には、暗電流が問題となることがあります。この場合は、蓄積中、レジスティブゲートに所定の電圧を印加し、レジスティブゲート下を反転状態にすることによって暗電流を低減することができます（MPP 動作：「5. Non-MPP 動作と MPP 動作」参照）。

(5) 広い波長範囲で高感度、フラットに近い分光感度特性 [図 4]

[図 4] 分光感度特性（窓なし時）

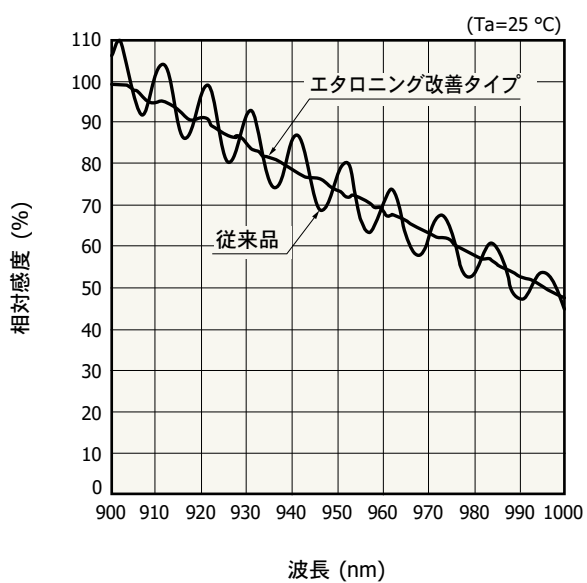


KMPDC0316JA

(6) 低いエタロニング

裏面入射型 CCD では、入射光が長波長の場合、干渉によりエタロニングが発生する場合があります。本製品は裏面入射型 CCD ですが、干渉が起きにくい独自の構造を採用することでエタロニングを低減しています [図 5]。

[図 5] エタロニング特性 (代表例)



KMPDC0284JB

[表 1] 画素サイズの類似した CCD の比較 (Typ.)

製品名	CCD エリアイメージセンサ		電子シャッタ機能付 レジスティブゲート型 CCD リニアイメージセンサ	
	S10420-1106-01	S11071-1106	S11155/S11156-2048	
型名			-01 (従来タイプ)	-02 (改良タイプ)
特長	低暗電流 高感度 読み残しなし 低ノイズ	低暗電流 高感度 読み残しなし 高速読み出し	高速読み出し 長い受光部 少ない読み残し 電子シャッタ機能	
用途例	分光分析(光量小)	分光分析 (光量小)	分光分析 (光量小~大)	
CCD タイプ	裏面入射型	裏面入射型	裏面入射型	
受光部構造	CCD	CCD	レジスティブゲート型 CCD	
画素ピッチ	14 μm	14 μm	14 μm	
受光部長	896 μm	896 μm	S11155: 500 μm S11156: 1000 μm	
CCE	6.5 $\mu\text{V}/\text{e}^-$	8 $\mu\text{V}/\text{e}^-$	8 $\mu\text{V}/\text{e}^-$	10 $\mu\text{V}/\text{e}^-$
飽和電荷量	300 ke^-	200 ke^-	200 ke^-	
暗電流 (MPP 動作)	3.5 $\text{ke}^-/\text{pixel}/\text{s}$ (フルラインビニング)	3.5 $\text{ke}^-/\text{pixel}/\text{s}$ (フルラインビニング)	S11155: 4 $\text{ke}^-/\text{pixel}/\text{s}$ S11156: 8 $\text{ke}^-/\text{pixel}/\text{s}$	S11155: 10 $\text{ke}^-/\text{pixel}/\text{s}$ S11156: 15 $\text{ke}^-/\text{pixel}/\text{s}$
暗電流 (non-MPP 動作)	-	-	S11155: 50 $\text{ke}^-/\text{pixel}/\text{s}$ S11156: 100 $\text{ke}^-/\text{pixel}/\text{s}$	S11155: 100 $\text{ke}^-/\text{pixel}/\text{s}$ S11156: 200 $\text{ke}^-/\text{pixel}/\text{s}$
読み出しノイズ	6 $\text{e}^- \text{ rms}$	30 $\text{e}^- \text{ rms}$	30 $\text{e}^- \text{ rms}$	
ダイナミックレンジ	50000	6670	6670	
出力回路	低ノイズアンプ	高速アンプ	高速アンプ	
ピクセルレート	0.25 MHz typ.	5 MHz typ.	5 MHz typ.	
ラインレート	0.1 kHz typ. (フルラインビニング)	0.65 kHz typ. (フルラインビニング)	2 kHz typ.	
蓄積時間*1	5 ms~40 s	1.3 ms~30 s	2 μs ~1 ms (Non-MPP 動作) 1 ms~7 s (MPP 動作)	
読み残し*2	なし	なし	0.1% typ., 1% max.	
電子シャッタ	なし	なし	あり	
受光部の電荷 読み出し時間*3	-	-	S11155: 80 μs S11156: 300 μs	S11155: 5 μs S11156: 20 μs
アンチブルーミング機能	あり (水平レジスタ)	あり (水平レジスタ)	あり (ストレージゲート)	
水平レジスタ遮光	-	-	-01 に比べて-02 は遮光性を改善*4	

*1: 使用条件によって変わります。

*2: 光の入射条件やセンサの動作条件によって変わります (「6. 電荷の読み残し」参照)。

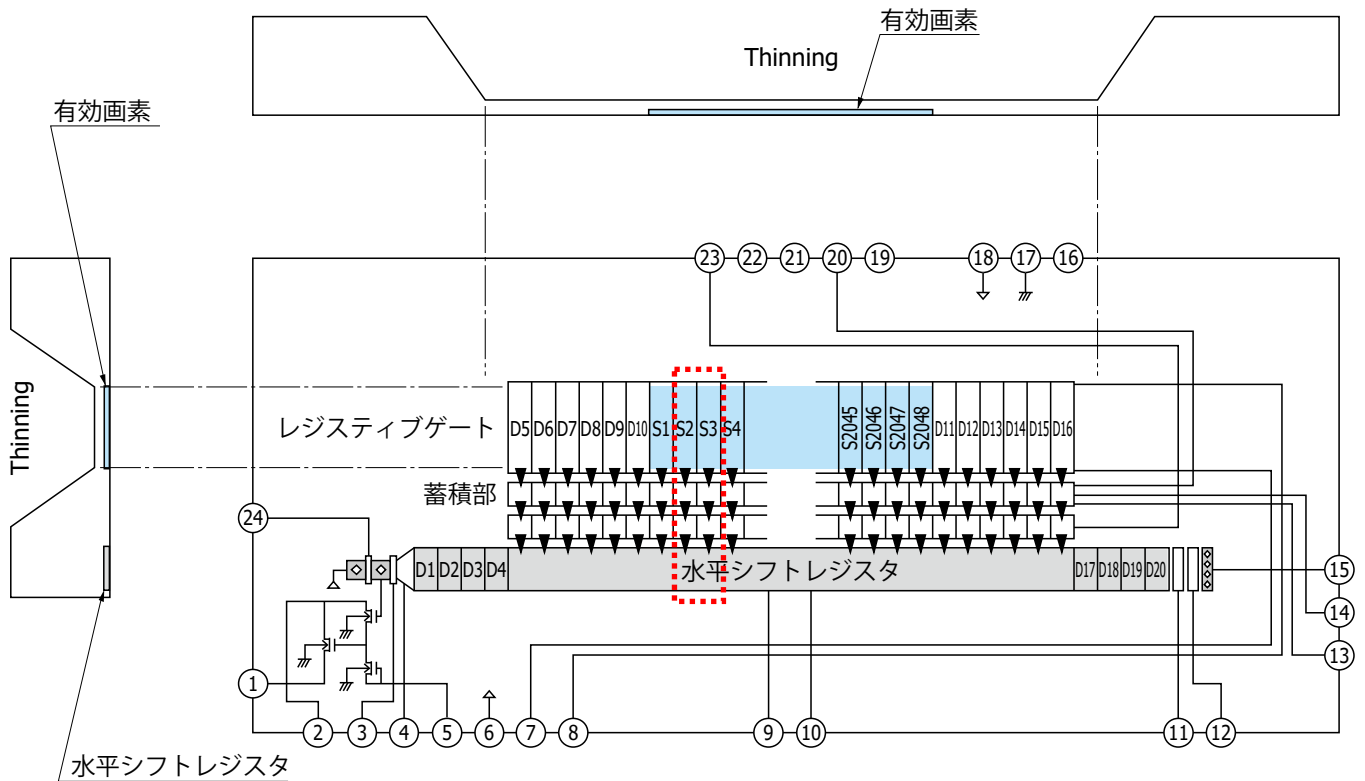
*3: 受光部の電荷読み残しが 0.1% typ.以下の時間。

*4: 「12. その他/(3) 水平シフトレジスタの遮光」参照

2. デバイス構造

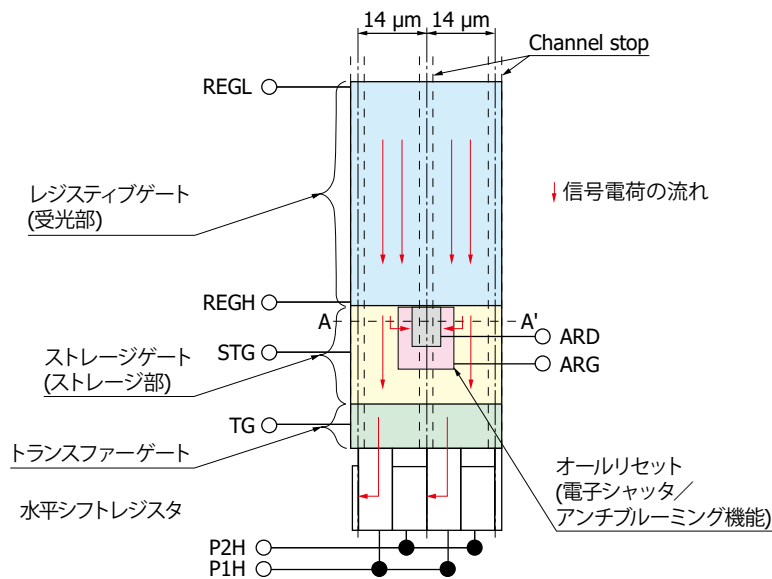
[図 6] デバイス構造 (S11155/S11156-2048-01)

(a) 全体図



KMPDC0339JC

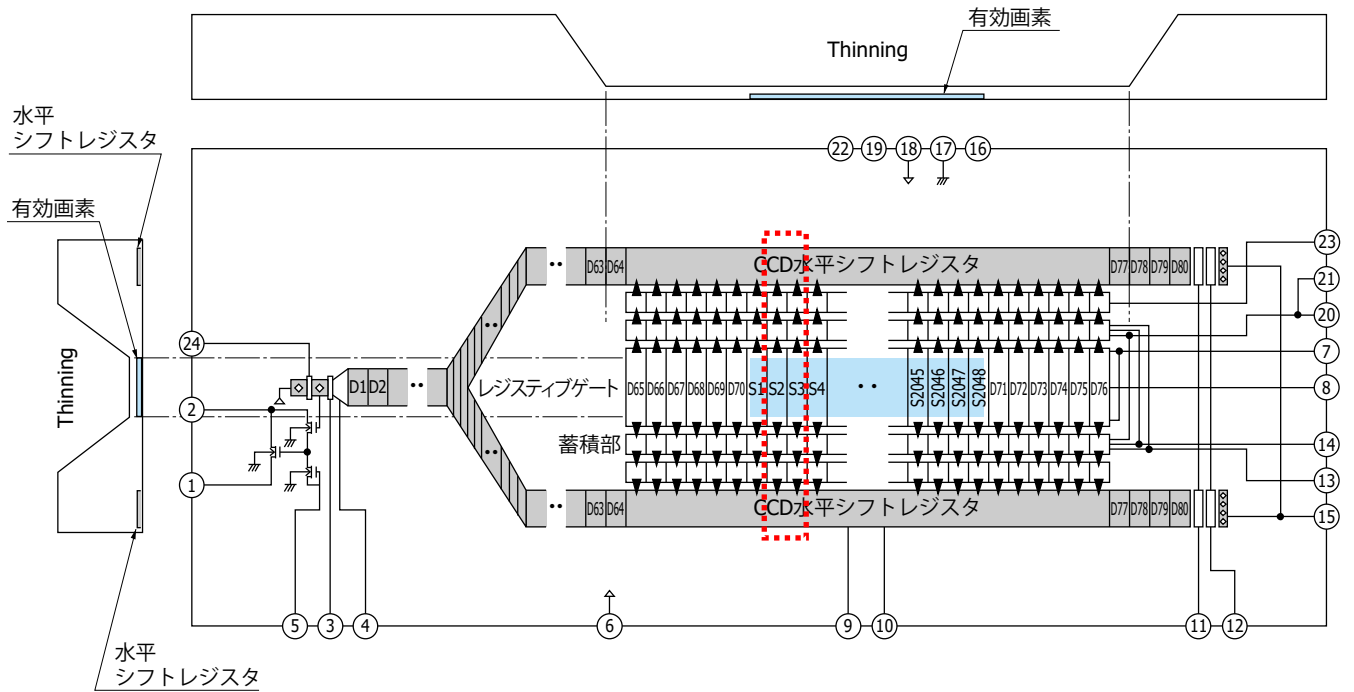
(b) 拡大図 [(a) 全体図の点線部]



KMPDC0374JB

[図 7] デバイス構造 (S11155/S11156-2048-02)

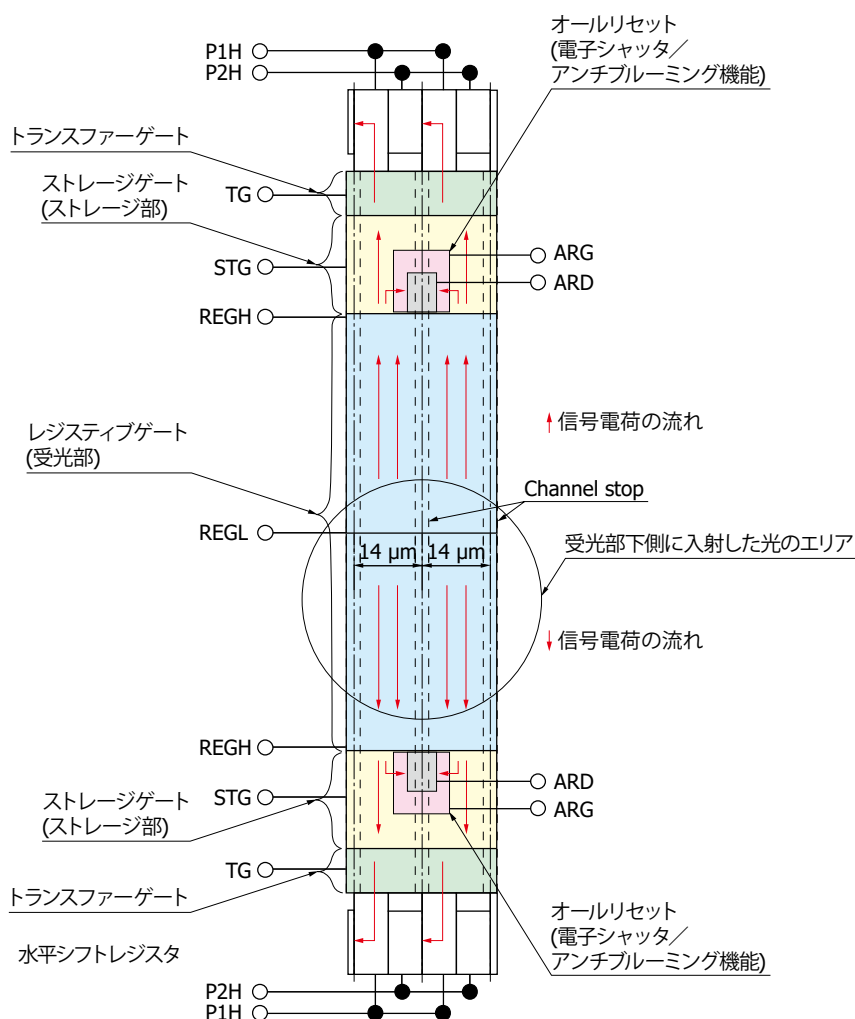
(a) 全体図



注) 光入射方向から見た場合、水平シフトレジスタはSiの厚い部分 (不感部分)で覆われていますが、長波長の光は不感部分のSiを透過し、水平シフトレジスタで受光される可能性があります。必要に応じて遮光などの対策を行ってください。
 受光部の各画素で光電変換された信号電荷は、一旦受光部中心を境に上下方向に分けて転送されます。そして、水平レジスタを介して合成され、アンプで読み出されます。

KMPDC0543JA

(b) 拡大図 [(a) 全体図の点線部]



KMPDC0585JA

改良タイプ (S11155/S11156-2048-02) の場合、受光部の各画素で光電変換された信号電荷は、受光部中心を境に上下方向に分かれて転送されます。その後、水平シフトレジスタを介して信号が合成され、1つのアンプで読み出されます。改良タイプは同じ受光部高さでも、電荷転送距離を短くできるため、読み出し時間 (電荷の転送時間) を短くすることが可能になりました。

なお、改良タイプは、水平シフトレジスタで信号を合成して読み出す構造のため、従来タイプ (S11155/S11156-2048-01) よりも水平ブランク画素が多くなります (ブランク画素数: 従来タイプ: 4 画素、改良タイプ: 64 画素)。改良タイプは従来タイプよりも水平の読み出し画素数が多いですが、ラインレートは同じです (2 kHz typ.)。

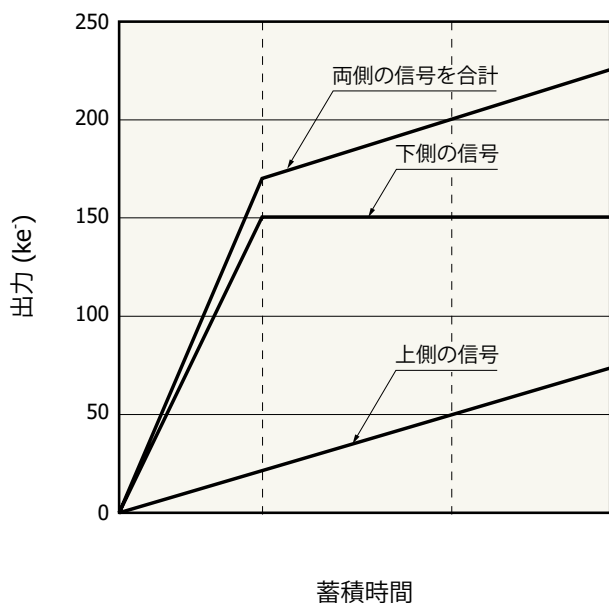
信号電荷をできるだけ多く蓄積するためには、光の入射位置・分布をできるだけ受光部中心で上下対称にする必要があります。図 7 (b) のように光の入射位置または分布が受光部中心から上下方向に大きく片寄る場合は、信号電荷がストレージゲートの飽和電荷量を超える可能性があります。上下に配置されたストレージゲートの飽和電荷量は、それぞれ約 $150\ \text{ke}^-$ で、この値を超える電荷は、隣接するオールリセットドレイン (ARD) に捨てられます。その結果、図 8 のグラフのように“下側の信号”が飽和に達した蓄積時間において、“両側の信号を合計”の直線性が変化します。また“下側の信号”が飽和すると奇数・偶数画素の出力差が大きくなる現象が現れます。この現象は、ストレージゲートの飽和電荷量が奇数・偶数画素で異なる (ARD の位置ずれによる) ために生じます。

どうしても光に偏りができてしまう場合は、片側のストレージゲートの飽和電荷量を大きくするために、ARGま

たは ARD の印加電圧を変更する必要があります（この場合アンチブルーミングは機能しません）。

例: ARG の Low 電圧: +1 V → 0 V, ARD: +14 V → +13 V

[図 8] 光が受光部下側に入射した場合の出力直線性 [代表例, 図 7 (b)参照]



KMPDB0458JA

3. 信号検出の流れ

(1) レジスティブゲート (受光部)

受光部においては、電荷転送を高速に行うためにレジスティブゲート構造を採用しています。レジスティブゲートの裏面は薄形化されており、通常の裏面入射型 CCD と同様に広い波長範囲で高い量子効率を実現しています。レジスティブゲートで光電変換されて発生した信号電荷は、レジスティブゲートの両端 (REGH, REGL) に印加した電圧差によって形成されるポテンシャルスロープにより、ストレージゲートへと転送されます。さらに受光部では、近赤外域の波長で問題となるエタロニング (裏面入射型 CCD に特有の干渉現象)を抑えた構造を採用しています。なお、受光部以外のチップ上は、厚い Si 基板により光の入射を抑制しています。

(2) ストレージゲート

レジスティブゲートから転送された信号電荷は、ストレージゲートに蓄積されます。なお、ストレージゲートの隣に横型アンチブルーミング構造を形成しています。これにより、アンチブルーミング機能とともに電子シャッタ機能を実現しています (「4. 電子シャッタとアンチブルーミング」参照)。

(3) トランスファーゲート

トランスファーゲートは、ストレージゲートと水平シフトレジスタの間にあります。トランスファーゲートを High レベルにすると、ストレージゲートに蓄積された信号電荷がトランスファーゲートへ転送されます。その後、トランスファーゲートを Low レベルにすることによって水平シフトレジスタへ信号電荷を転送します。

(4) 水平シフトレジスタ

水平シフトレジスタへ転送された信号電荷は、水平シフトレジスタにクロックパルスを入力することによって出力段へ転送されます。

(5) 出力段

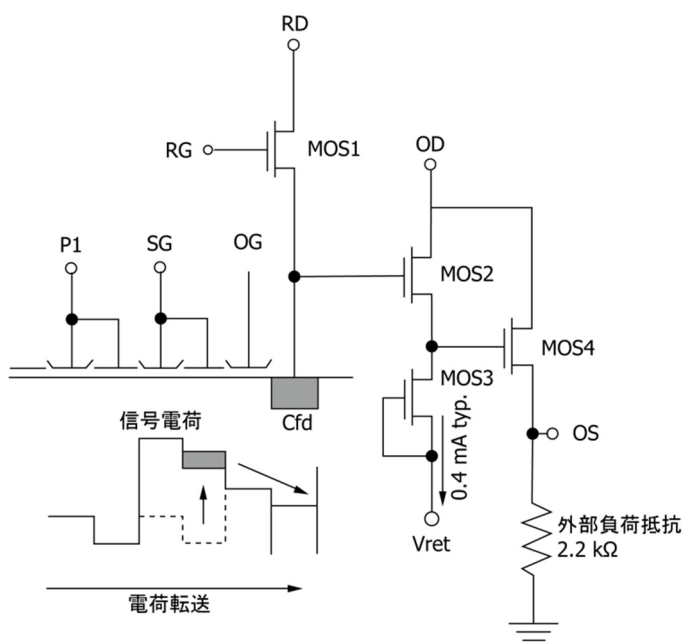
出力段には、FDA (floating diffusion amplifier)と呼ばれる電荷－電圧変換用 MOSFET が内蔵されています [図 9]。信号電荷は、容量 C_{fd} に転送され電荷－電圧変換されます [式 (1)]。

$$V_{fd} = \text{信号電荷} / C_{fd} \dots\dots\dots(1)$$

V_{fd} : 出力電圧

この電圧は、2 段 MOSFET ソースフォロウ回路でインピーダンス変換され (ゲイン<1)、OS 端子から出力されます。なお、外部負荷抵抗 (2.2 k Ω)は CCD には含まれていないため、外部回路において準備する必要があります。

[図 9] FDA を採用した CCD の出力部



KMPDC0383JB

4. 電子シャッタとアンチブルーミング

レジスティブゲート型 CCD リニアイメージセンサには、ストレージゲートの隣に横型オーバーフローライン (2 画素に 1 個) を設けて電子シャッタ機能を実現しています。

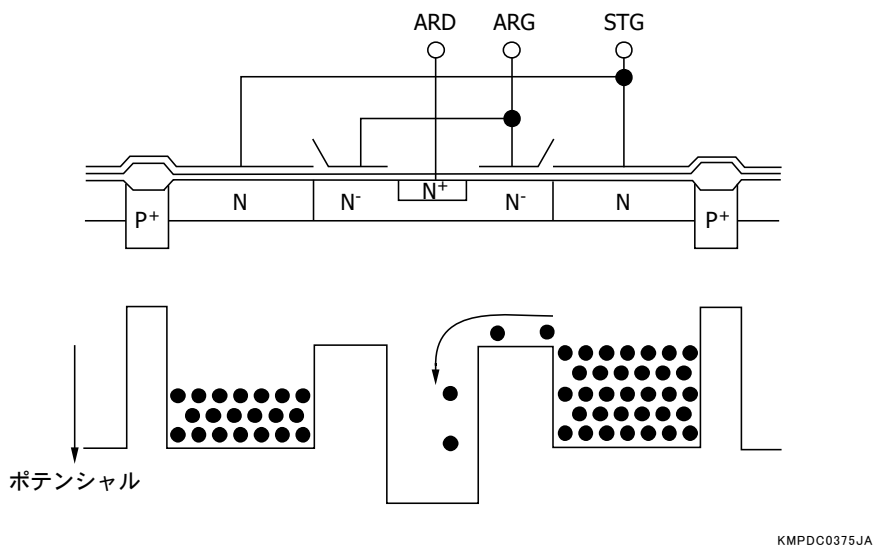
オールリセットゲート (ARG) が Low レベルのときは、ストレージゲート (STG) に信号電荷が蓄積されます (電子シャッタが開の状態 [図 10 (a)])。飽和電荷量を超える信号電荷はオールリセットドレイン (ARD) へ捨てられ、ブルーミングを防止します。

オールリセットゲートを High レベルにすると、信号電荷はストレージゲートからオールリセットドレインへ捨てられ、信号電荷は蓄積されません (電子シャッタが閉の状態 [図 10 (b)])。

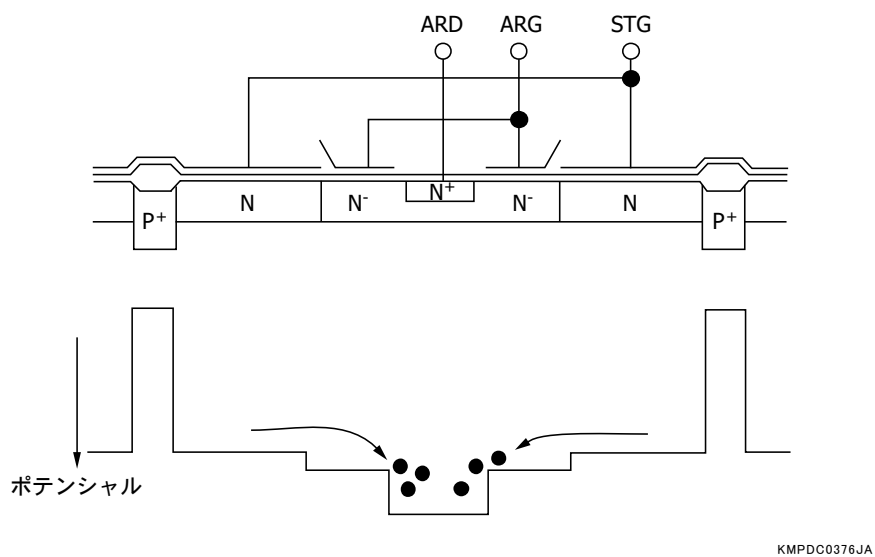
ストレージゲートの飽和電荷量は、オールリセットゲート電圧によって制御できます。ストレージゲートの飽和電荷量を増やした場合、ストレージゲートでブルーミングが発生することがあります。ストレージゲートの飽和電荷量をさらに大きくすると、後段の水平シフトレジスタなどでブルーミングが発生します。

[図 10] オールリセット部の概念図とポテンシャル [図 6 (b)の破線 A-A'の断面]

(a) ARG: Low レベル, 電子シャッタ: 開 [蓄積状態 (アンチブルーミング状態)]



(b) ARG: High レベル, 電子シャッタ: 閉 (リセット状態)

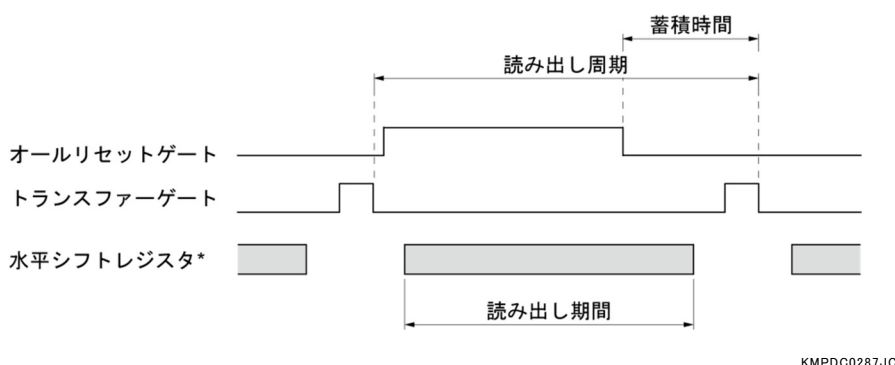


• 蓄積時間

電子シャッタを使用した場合の蓄積時間は、オールリセットゲートを Low レベルにした時間から、蓄積した信号電荷を水平シフトレジスタへと転送するまでの時間 (トランスファーゲートを Low レベルにするまでの時間 [図 11])として定義されます。この期間以外に発生した信号電荷は、オールリセットゲートを High レベルにした期間にオールリセットドレインへ捨てられ、信号として読み出されません。

電子シャッタ機能を使用しない場合は、オールリセットゲートを常時、Low レベルにしておきます。この場合、蓄積時間は読み出し周期と同じです。

[図 11] タイミングチャート（電子シャッタ使用時）



5. Non-MPP 動作と MPP 動作

MPP (Multi-Pinned Phase)動作は、CCD の電極を構成する MOS 構造のすべてのゲート下を反転状態にすることにより実現できます（ストレージゲートを除く）。MPP 動作においては、酸化膜界面がチャンネル分離領域から供給された正孔によって反転され、酸化膜界面における熱励起電子の発生が極端に抑制されるため、低暗電流になります。この状態をピンニングといいます。ピンニング電圧（ピンニングされる時のゲート電圧）を正確に印加することによって暗電流を大幅に低減できるため、長時間蓄積を行う場合に適しています。暗電流の発生量と信号読み出しに必要な時間（シャッタ時間）を考慮し、使用条件に合わせて Non-MPP 動作と MPP 動作から選択してください。

(1) Non-MPP 動作

Non-MPP 動作の場合には、レジスティブゲート（REGH, REGL）に異なる定電圧を印加して常時ポテンシャルスロープを形成します。この際、ピンニング電圧より低い電圧を印加すると、CCD チャンネル内にポテンシャルスロープが形成されず、電荷の読み残しが増加します。Non-MPP 動作では、レジスティブゲート下はピンニングになっていないため暗電流は大きくなりますが、暗電流の影響が少ない短時間の蓄積を行う場合に適しています。強い光を検出するために、電子シャッタを使用して蓄積時間を短くし、入射光量を減らすような場合に Non-MPP 動作は適しています。

図 13 に、Non-MPP 動作の各タイミング [図 12] におけるポテンシャルを示します。

- T1
レジスティブゲート（REG）で光電変換された信号電荷は、ポテンシャルスロープによりストレージゲートへ転送されます。
- T2
オールリセットゲートが High レベルになり、信号電荷はオールリセットドレインに捨てられ、この期間以前に発生した信号電荷は読み出されません（電子シャッタ：閉）。
- T3
オールリセットゲートが Low レベルになり、信号電荷の蓄積を行います（電子シャッタ：開）。
- T4
トランスファーゲートが High レベルになり、ストレージゲートに蓄積した信号電荷をトランスファーゲートへ転送します。なお、この期間に発生した信号電荷の一部は読み出されます。

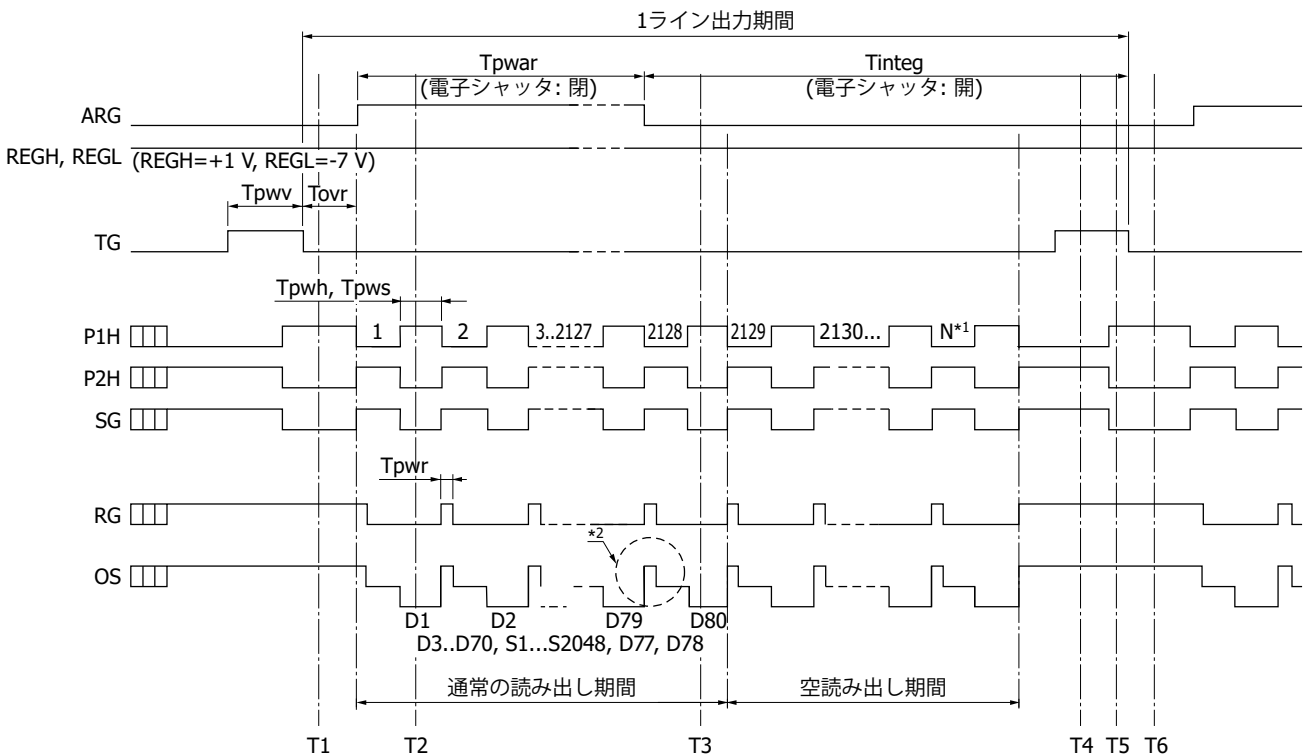
- T5

P1H が High レベルになります。なお、この期間に発生した信号電荷の一部は読み出されず。

- T6

トランスファーゲートが Low レベルになり、トランスファーゲートから水平シフトレジスタ (P1H)へ信号電荷を転送します。この後、P1H と P2H にクロックパルスを印加することにより、水平シフトレジスタを介して信号電荷は出力段へ転送されます。

[図 12] タイミングチャート (S11156-2048-02, Non-MPP 動作)



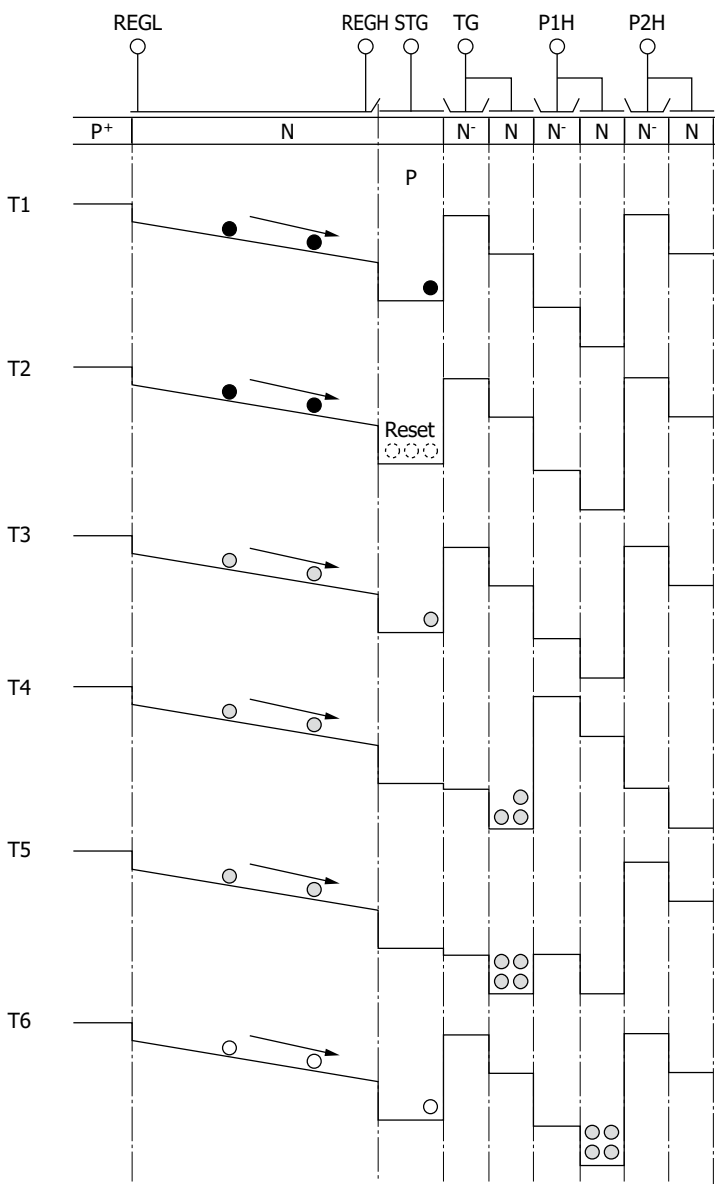
*1: 蓄積時間に応じて、全クロックパルス数 Nを設定してください。

*2: ARGのクロックパルスの立ち下がりでもOSIにノイズが重畳するのを防ぐため、ARGの立ち上がり/立ち下がり時間を200 ns以上にしてください。

注) 空読み出し期間中は所定の端子にクロックパルスを印加してください。

KMPDC0377JC

[図 13] Non-MPP 動作の各タイミングにおけるポテンシャル



KMPDC0379EB

(2) MPP 動作

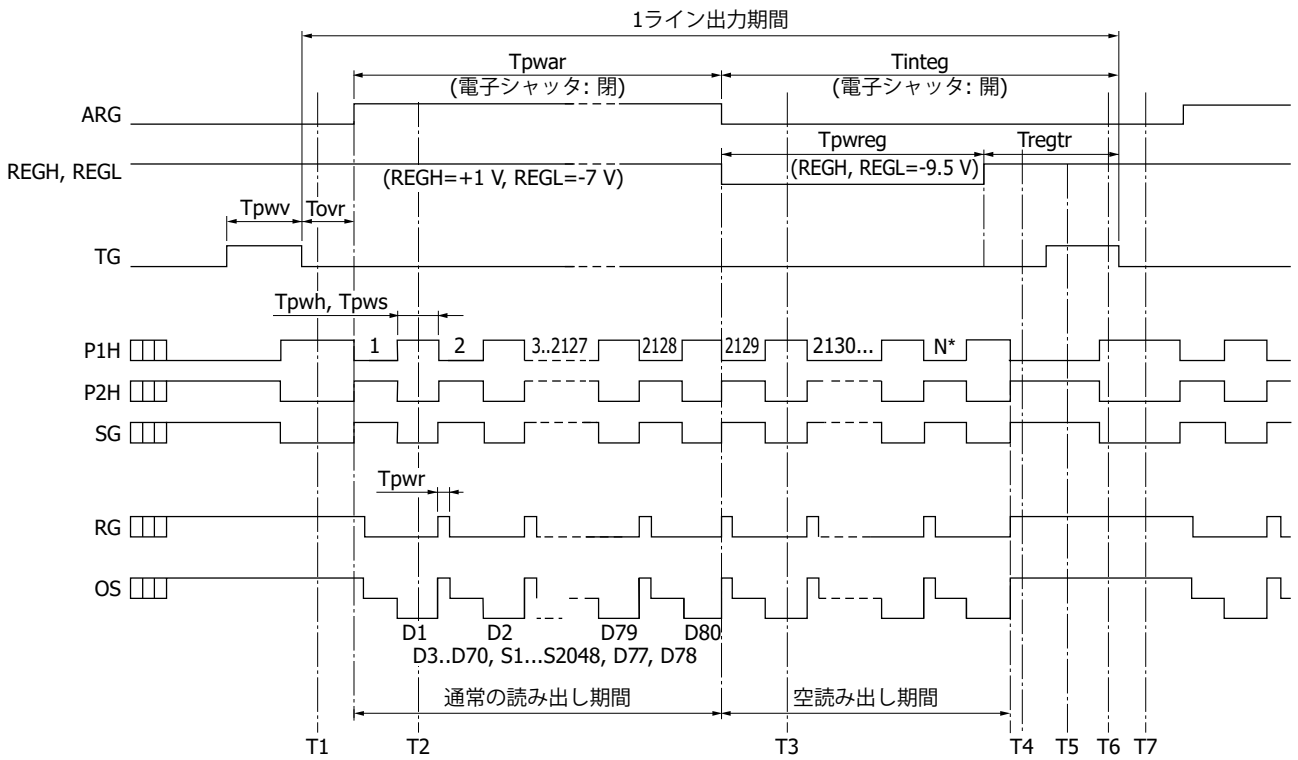
MPP 動作の場合には、蓄積中はレジスティブゲートの両端に同じピンニング電圧を印加して、暗電流を低減します。弱い光を長時間かけて検出する場合に MPP 動作は適しています。ただし、このままでは受光部の読み残しが大きくなるため、電荷を転送する際には、レジスティブゲートに Non-MPP 動作時と同様の電圧を印加しポテンシャルスロープを形成して、読み出し時間を以下の①または②の設定にする必要があります。アンチブルーミングを強く機能させたい場合は、①を推奨します。

- ① TG が High になる前に、REGH と REGL の電圧を High に変え、High の時間を長くする [図 14]。
- ② TG の High 期間 (T_{pww})と同期して REGH と REGL の電圧の High 期間を長くする。

図 15 に MPP 動作の各タイミング 図 14 におけるポテンシャルを示します。

-
- T1
レジスティブゲート (REG)で発生した信号電荷は、ストレージゲートに蓄積されます。
 - T2
オールリセットゲートが High レベルになり、信号電荷はオールリセットドレインに捨てられ、この期間以前に発生した信号電荷は読み出されません (電子シャッタ: 閉)。
 - T3
オールリセットゲートが Low レベルになり、信号電荷の蓄積を行います (電子シャッタ: 開)。
レジスティブゲートの両端はピンニング電圧以下に設定されており、レジスティブゲートで発生する暗電流は低減された状態です (ポテンシャルスロープは形成されません)。
 - T4
レジスティブゲートの両端に異なる電圧を印加してポテンシャルスロープを形成し、レジスティブゲートで発生した信号電荷をストレージゲートへ転送します。なお、この期間に発生した信号電荷の一部は読み出されません。
 - T5
トランスファーゲートが High レベルになり、ストレージゲートに蓄積した信号電荷がトランスファーゲートへ転送されます。なお、この期間に発生した信号電荷の一部は読み出されます。
 - T6
P1H が High レベルになります。なお、この期間に発生した信号電荷の一部は読み出されます。
 - T7
トランスファーゲートが Low レベルになり、トランスファーゲートから水平シフトレジスタ (P1H)へ信号電荷が転送されます。この後、P1H と P2H にクロックパルスを印加することによって、水平シフトレジスタを介して信号電荷は出力段へ転送されます。

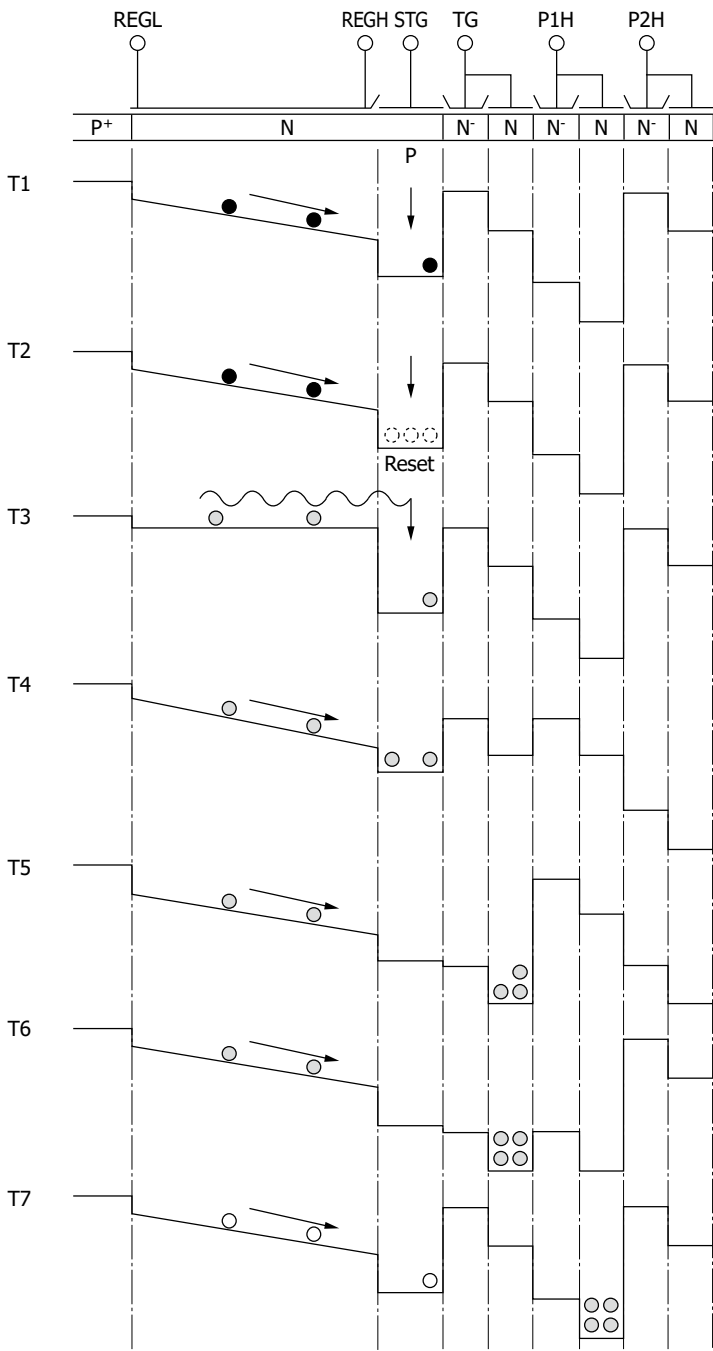
[図 14] タイミングチャート (S11155/56-2048-02, MPP 動作)



* 蓄積時間に応じて、全クロックパルス数 Nを設定してください。

KMPDC0378JC

[図 15] MPP 動作の各タイミングにおけるポテンシャル



KMPDC0380EB

6. 電荷の読み残し

電荷の読み残し（イメージラグ）は、入射信号量に対しての読み残される信号量の割合で定義され、式（2）で表されます。

$$L = (\text{Slag}/S) \times 100 [\%] \dots\dots\dots(2)$$

L: 読み残し (イメージラグ)

Slag: 読み残される信号

S: 入力信号量

読み残しは、レジスティブゲートとストレージゲートにおいて発生し、それぞれ異なる方法で評価を行います。

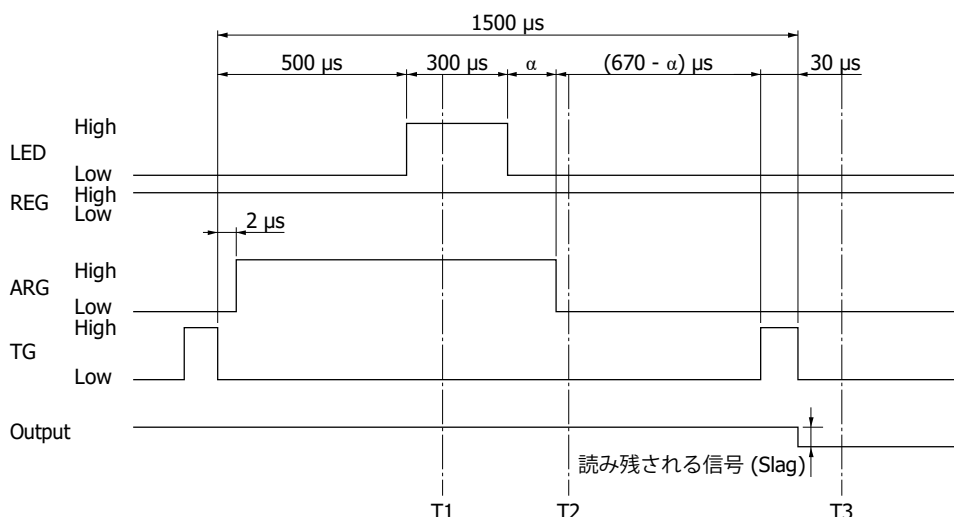
(1) レジスティブゲートにおける読み残しの測定方法と特性

レジスティブゲートの読み残しは、図 16 のタイミングで、以下のように行います。

- ① LED (ピーク発光波長: 660 nm)をパルス点灯させ、飽和電荷量の半分程度の信号が受光部に入るように LED の出力を調整します。この調整時に LED が点灯している間は ARG を Low の状態にします。このときの入力信号量が S [式 (2)]です。
- ② LED が点灯している期間は ARG を High の状態 (電子シャッタ: 閉)にしておきます。ストレージゲートに転送された電荷が ARD に捨てられます (図 16 の T1)。
- ③ LED が消灯してから任意の時間 (α)の経過後に ARG を Low の状態 (電子シャッタ: 開)にします。レジスティブゲートに読み残された電荷 (Slag)がストレージゲートに蓄積されます (T2)。
- ④ ストレージゲートに蓄積された電荷 (③参照)が出力されます (T3)。

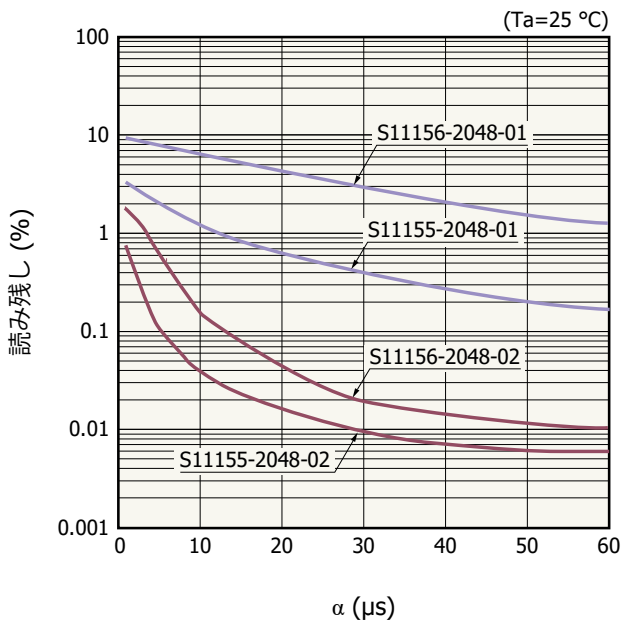
レジスティブゲートが長いほど、電荷転送時間が長くなり、読み残しが大きくなります。改良タイプは、レジスティブゲート構造の最適化とレジスティブゲート間に急峻なポテンシャルスロープを形成することによって、電荷の転送速度を速くしました。同じ電荷転送時間の場合、改良タイプは従来タイプよりも読み残しが小さくなっています [図 17]。

[図 16] レジスティブゲートの読み残し測定時のタイミングチャート例



KMPDC0577JA

[図 17] レジスティブゲートの読み残し—時間 (α) (代表例)

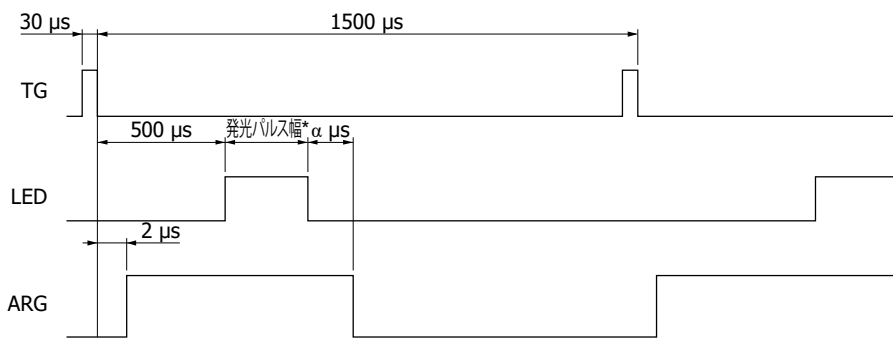


KMPDB0450JA

• レジスティブゲートの読み残しと入力光のパルス幅の関係

図 18 のタイミングで、入力信号量が一定で、LED の発光パルス幅を変更した場合の読み残しを図 19 に示します。パルス幅が長い場合ほど、読み残しは小さくなります。入射光が変換された信号電荷は随時、レジスティブゲートのポテンシャルスロープによりストレージゲートへ転送されるため、弱い光を長い時間をかけて入射した場合の方が、読み残しは小さくなります。

[図 18] レジスティブゲートの読み残し測定時のタイミングチャート例

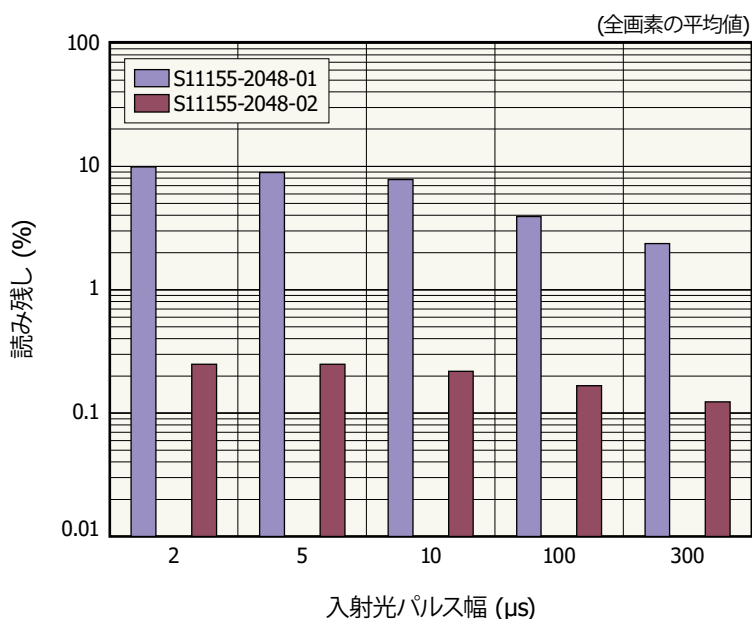


* 2 μ s, 5 μ s, 10 μ s, 100 μ s, 300 μ s

KMPDC0578JA

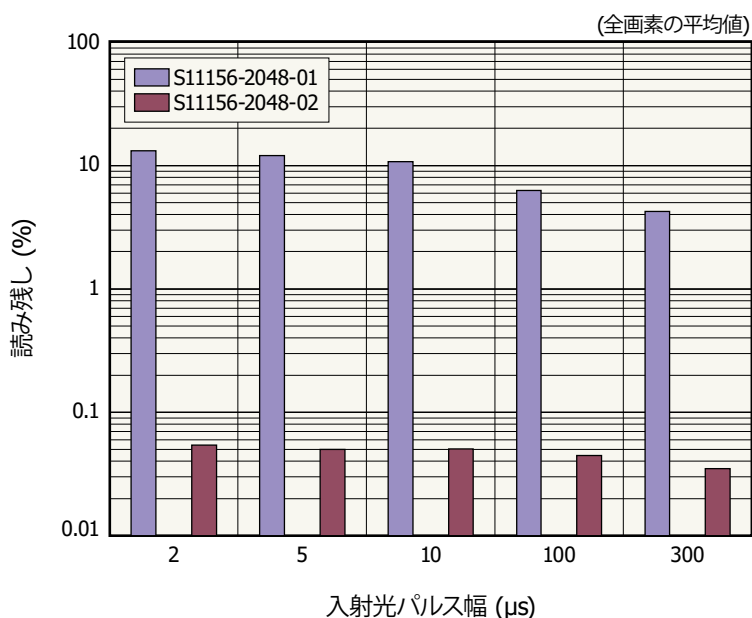
[図 19] レジスティブゲートの読み残し—入射光パルス幅（代表例）

(a) S11155-2048-01/-02 ($\alpha=5 \mu\text{s}$)



KMPDB0451JA

(b) S11156-2048-01/-02 ($\alpha=20 \mu\text{s}$)



KMPDB0452JA

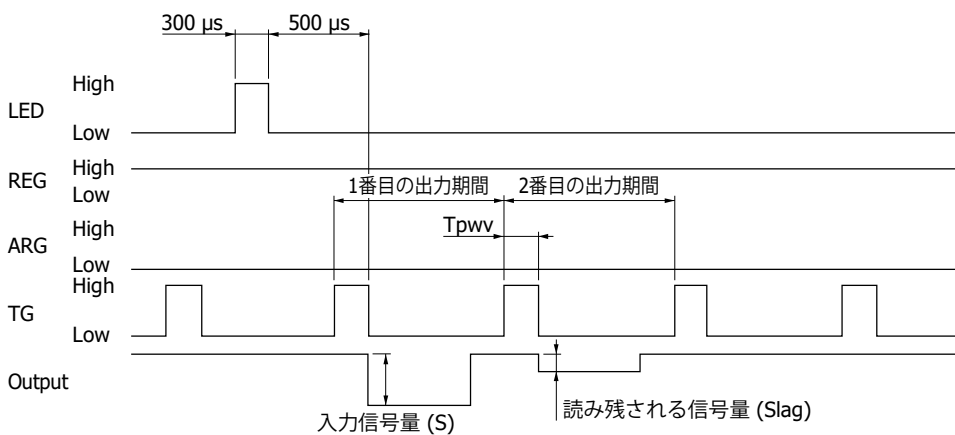
(2) ストレージゲートにおける読み残しの測定方法と特性

図 20 のように LED (ピーク発光波長: 660 nm) を飽和出力の半分程度の出力となるようにパルス点灯させます。レジスティブゲートで発生した電荷がストレージゲートへ転送されるのに十分な時間 (約 500 μs) の経過後、TG の電圧を High にすることで電荷を水平シフトレジスタへ転送します。式 (2) の入力信号量 (S) の大部分は 1 番目の出力期間に読み出され、読み残された信号 (Slag) が 2 番目の出力期間に出力されます。

TG の High 期間 (T_{pw}) を長くするほど、ストレージゲートの読み残しを小さくすることが可能です。改良タイプは、ストレージゲートのポテンシャル構造を最適化し、従来タイプよりもストレージゲートの読み残しを小さくし

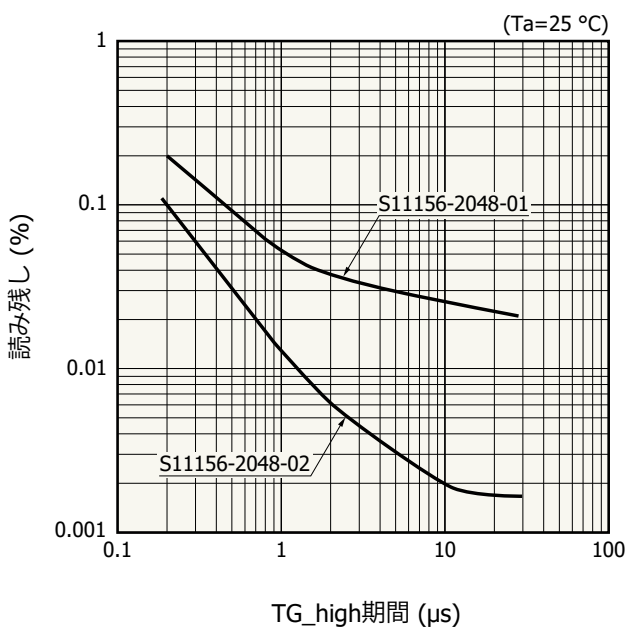
ています [図 21]。

[図 20] ストレージゲートの読み残し測定時のタイミングチャート例 (Non-MPP 動作)



KMPDC0579JA

[図 21] ストレージゲートの読み残し—TG_high 期間 (代表例)

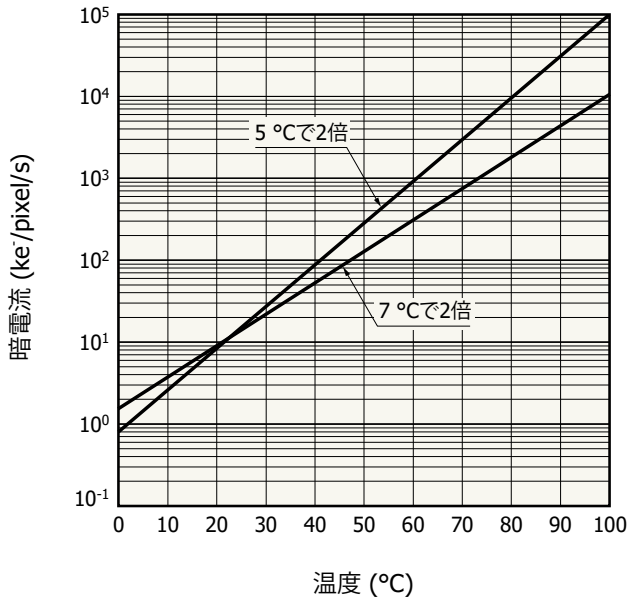


KMPDB0453JA

7. 暗電流の温度依存性

暗電流には温度依存性があり、たとえば S11156-2048-02 では MPP 動作時に図 22 のようになります。

[図 22] 暗電流の温度依存性 (S11156-2048-02, MPP 動作, 代表例)

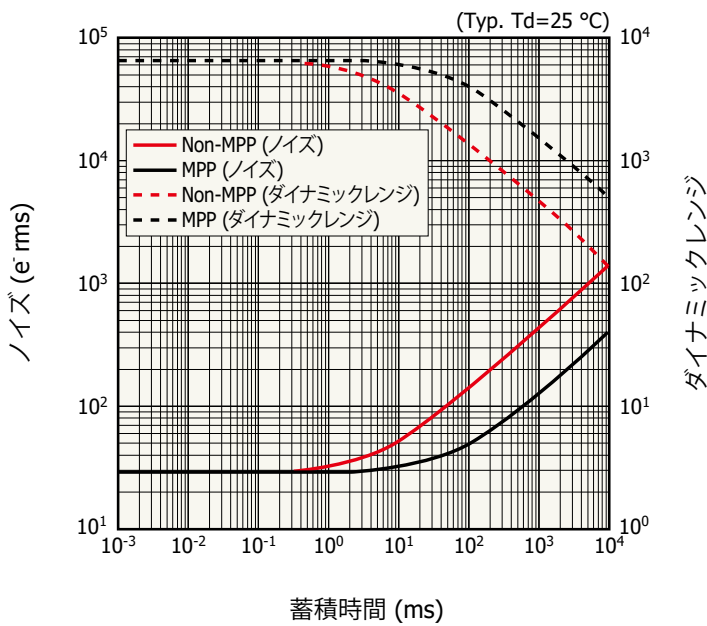


KMPDB0454JA

8. ダークショットノイズとダイナミックレンジ

蓄積時間を長くするとダークショットノイズが増加し、その影響でダイナミックレンジが減少します。その例を図 23 に示します。

[図 23] ノイズ (読み出しノイズ + ダークショットノイズ)、ダイナミックレンジ—蓄積時間



KMPDB0455JA

9. 直線性

入射光量を一定にして、電子シャッタにより蓄積時間を変えて信号電荷量を変更した場合のリニアリティエラー (S11156-2048-02)を図 24 に示します。

● 測定条件

- ・光源の出力: 一定、常時点灯
- ・ T_{pwv} [TG が High の期間]=20 μ s
- ・64 回連続して取得したデータを平均化し、さらに全チャンネルの平均を取って信号とする。

$$\text{リニアリティエラー} = \{1 - (S_m/T_m)/(S/T_{\text{integ}})\} \times 100 [\%] \dots\dots\dots(3)$$

S_m : 飽和電荷量の半分のときの信号量

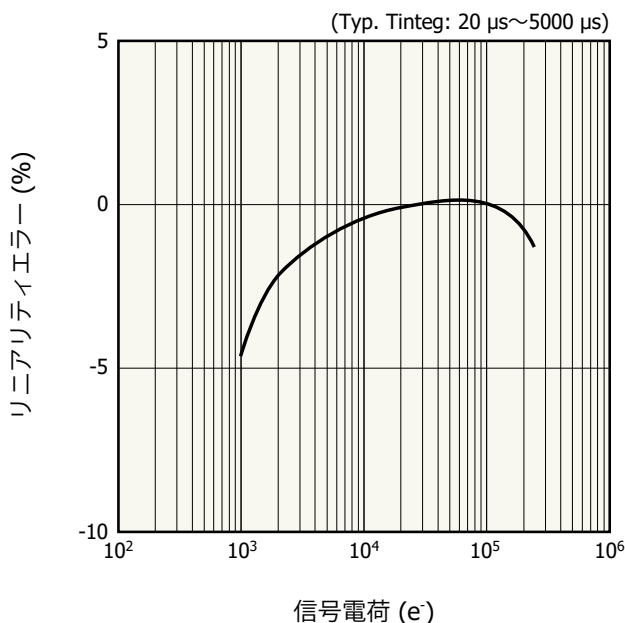
T_m : 飽和電荷量の半分のときの蓄積時間

S: 信号

T_{integ} : 蓄積時間

蓄積時間 (T_{integ})が短い場合は、読み残しが増加してリニアリティエラーが負の方向にシフトします。

[図 24] リニアリティエラー—信号電荷 (電子シャッタにより蓄積時間を変更: $T_{\text{integ}}=20 \mu$ s~5000 μ s)



KMPDB0456JA

10. 動作方法

(1) 動作電圧

読み残しの低減のために、改良タイプは動作電圧を変更しています [表 2]。

[表 2] 各端子の印加電圧（従来タイプと改善タイプの比較）

端子名	S11155/S11156-2048-01（従来タイプ）			S11155/S11156-2048-02（改良タイプ）		
	Min.	Typ.	Max.	Min.	Typ.	Max.
VOD	12	15	18	12	15	18
VRD	14	15	16	13	14	15
VARD	14	15	16	13	14	15
VARGH	7	8	9	7	8	9
VARGL	-2	-1.5	-1	0.5	1	2
VOG	2.5	3	3.5	2.5	3.5	4.5
VSTG	-	0	-	2.5	3.5	4.5
VSS	-	0	-	-	0	-
VREGHH	-4.5	-4	-3.5	0.5	1	1.5
VREGHL	-9	-8	-7	-10.5	-9.5	-8.5
VREGLH	-	VREGHH - 2.5	-	-	VREGHH - 8	-
VREGLL	-9	-8	-7	-10.5	-9.5	-8.5
Vret	-	1	2	-	1	2
VISH	-	VRD	-	-	VRD	-
VIGH	-9	-8	-	-10.5	-9.5	-
VPHH	4	5	6	5	6	8
VPHL	-8	-7	-6	-6	-5	-4
VSGH	4	5	6	5	6	8
VSGL	-8	-7	-6	-6	-5	-4
VRGH	7	8	9	7	8	9
VRGL	-6	-5	-4	-6	-5	-4
VTGH	8.5	9	9.5	9.5	10.5	11.5
VTGL	-7.5	-7	-6.5	-6	-5	-4

(3) 端子に流れる電流

各端子に流れる電流の例（S11156-2048-02）を表 3 に示します。これを参考にして、回路設計をしてください。

[表 3] 各端子に流れるおおよその電流

端子名	S11155/ S11156-2048-01		S11155/S11156-2048-02	
	印加電圧	電流 (mA)	印加電圧	電流 (mA)
	Typ.		Typ.	
OS	-	-	-	-
OD	+15	+6	+15	+6
OG	+3	+0.1	+3.5	+0.1
SG	+5/-7	+0.1/-0.1	+6/-5	+0.1/-0.1
Vret	+1	-0.4	+1	-0.4
RD	+15	<<0.1	+14	<<0.1
REGL	-6.5/-8	-1/-0.2	-7/-9.5	-10/-0.2
REGH	-4/-8	+1/-0.2	+1/-9.5	+10/-0.2
P2H	+5/-7	+0.1/-0.1	+6/-5	+0.1/-0.1
P1H	+5/-7	+0.1/-0.1	+6/-5	+0.1/-0.1
IG2H	-8	-0.1	-9.5	-0.1
IG1H	-8	-0.1	-9.5	-0.1
ARG	+8/-1.5	+0.1/-0.1	+8/+1	+0.1/+0.1
ARD	+15	<+0.1	+14	<+0.1
ISH	+15(=VRD)	<<+0.1	+14(=VRD)	<<+0.1
STG	+3	+0.1	+3.5	+0.1
NC(STG)	-	-	-	-
TG	+9/-7	+0.1/-0.1	+10.5/-5	+0.1/-0.1
RG	+8/-5	+0.1/-0.1	+8/-5	+0.1/-0.1

Vret と REGL の電源はシンク型、REGH の電源はソース型にする必要があります。これら以外の端子の電源は、印加電圧が正電圧の場合はソース型、負電圧の場合はシンク型にする必要があります。突入電流などは、表 3 の値とは異なります（センサの端子間容量・抵抗、駆動回路により決まります）。

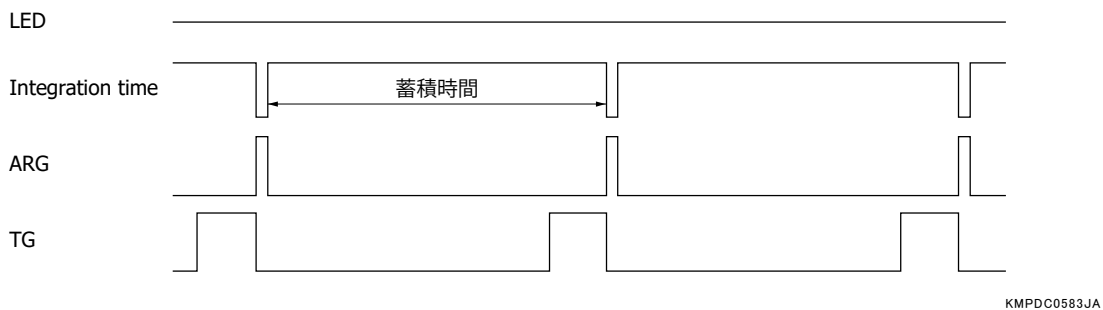
11. 使用方法の例

(1) 電子シャッタにより入射光量を制御

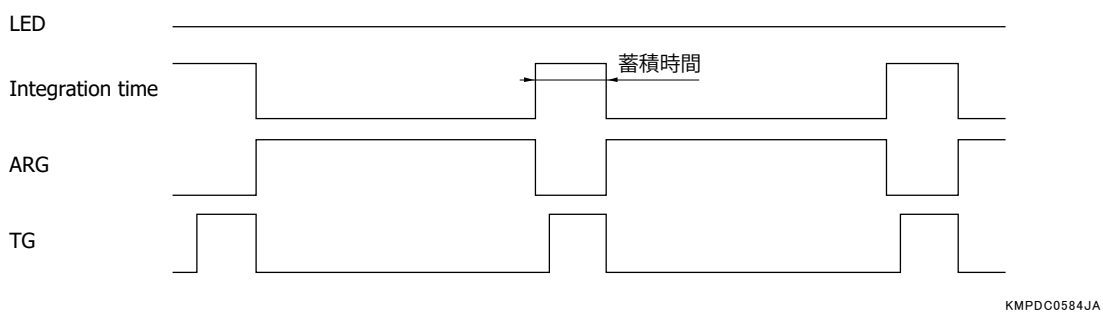
入射光量が大きい場合、飽和電荷量を超えた信号電荷はオールリセットドレインに捨てられます。このとき、信号出力は飽和して一定となり、各画素の出力差を確認できなくなります。この場合は電子シャッタを使って蓄積時間を変更し信号量を制御することによって、各画素の出力差を確認できるようになります [図 26]。蓄積時間の異なる複数の信号を取得し、飽和していない画素の信号をそれぞれの蓄積時間に合わせてデータ処理することで、仮想的にダイナミックレンジを大きくすることが可能です。なお、電子シャッタ機能付レジスティブゲート型 CCD リニアイメージセンサでは、蓄積時間を 2 μ s まで短くできます。

[図 25] 電子シャッタ使用時のタイミング例

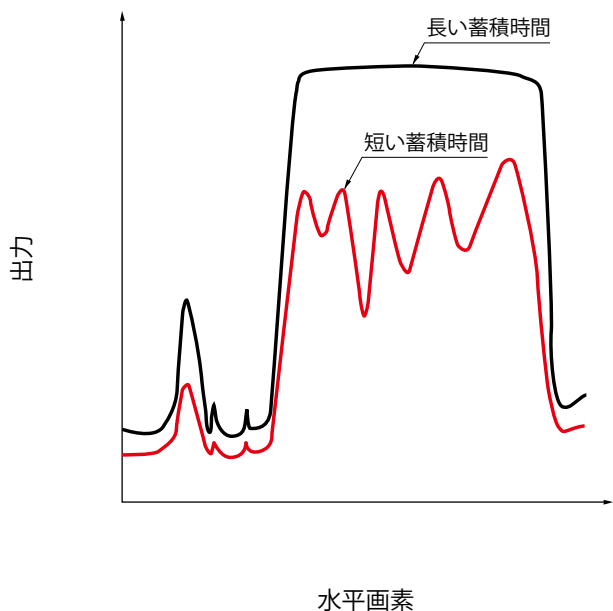
(a) 長い蓄積時間



(b) 短い蓄積時間



[図 26] 電子シャッタ使用時の出力例

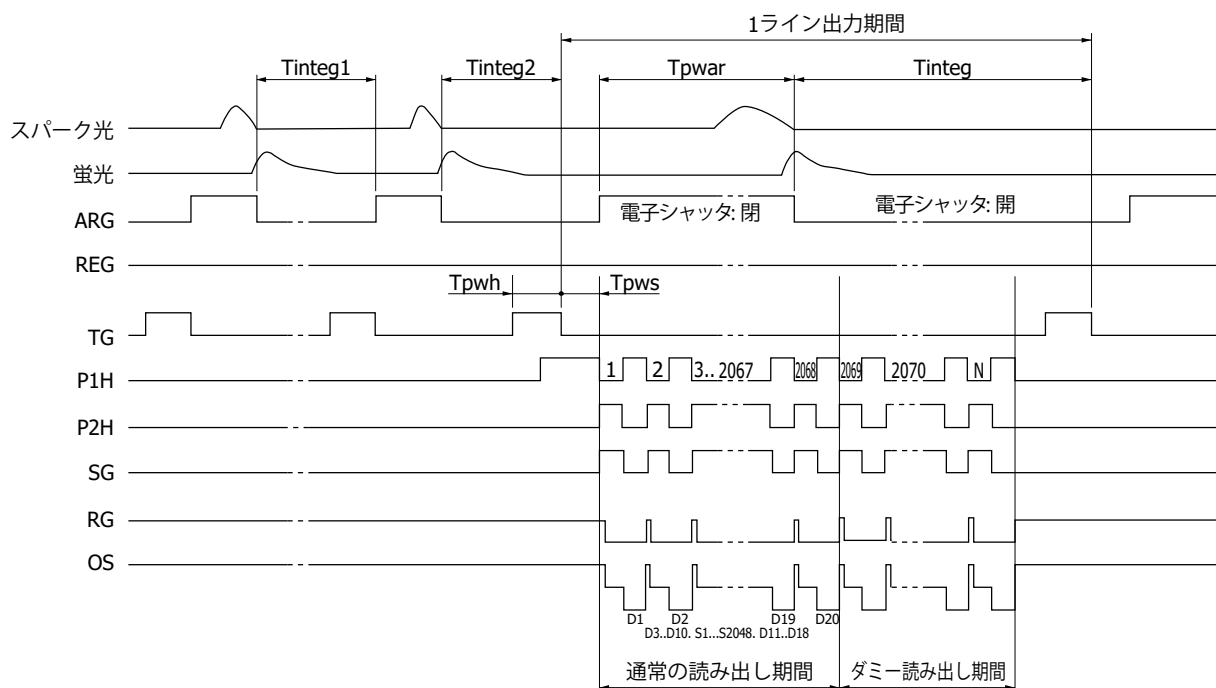


KMPDB457JA

(2) 複数回の電子シャッタ動作で得られる信号を積算する

図27のタイミングで動作させた場合、スパーク光による励起動作を繰り返し、複数回の励起動作による蛍光の信号電荷をいったんトランスファークラックで積算します。その後、水平シフトレジスタを使って各チャンネルの信号を読み出すことができます。これにより、それぞれの励起動作によって得られる信号光が小さい場合に信号量を増やすための有効な読み出し方法です。

[図 27] タイミングチャート（複数回の電子シャッタ動作で得られる信号を積算して読み出す場合）



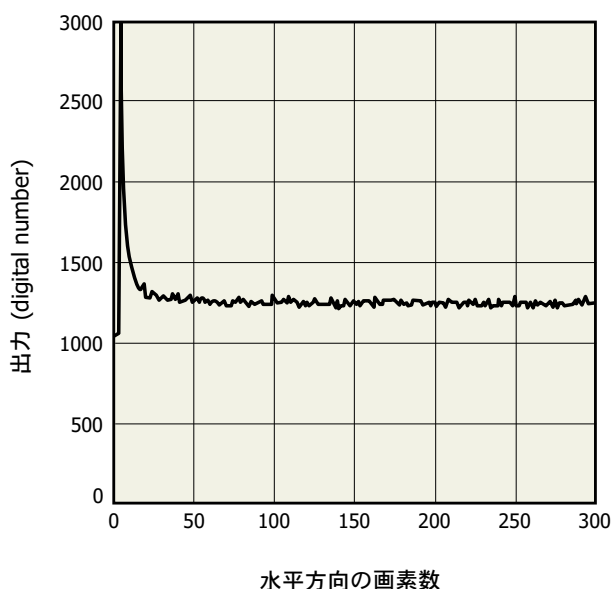
KMPDC0581JA

12. その他

(1) 出力回路における発光の対策

動作条件が適切でない場合、出力回路において発光することがあります。この発光をレジスティブゲートやストレージゲート、水平シフトレジスタで受光すると、読み始めの画素で出力が大きくなる現象が発生します [図 28]。

[図 28] 出力回路における発光の影響（暗状態における水平プロファイル，代表例）

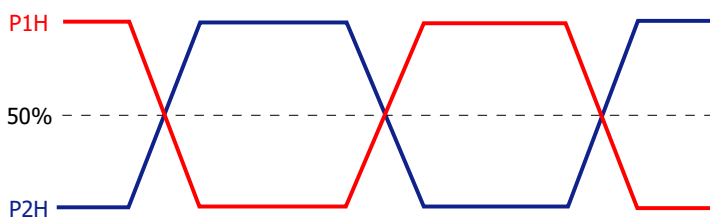


KMPDB0328JA

この発光の影響を低減するためには、以下の対策が有効です。

- ① Vret 端子に正電圧を印加する（製品によって最適な電圧が異なる）。
- ② 水平シフトレジスタクロックパルス（P1H, P2H, SG）を振幅の $50\% \pm 10\%$ で交差させる [図 29]。

[図 29] 水平シフトレジスタクロックパルスの波形例



KMPDC0381EA

- ③ 全画素の読み出し後、TG が High レベルになる直前まで水平方向の空読み出しを行う。

比較的長い蓄積をする場合には、水平シフトレジスタに蓄積される電荷を捨てるために、全画素の読み出し後も、トランスファーゲートへの転送を開始する直前まで水平シフトレジスタの空読み出しを行います（図 12・図 14 の*1 参照）。

- (2) オールリセットゲート（ARG）パルスのタイミングと OS 出力への影響

信号読み出し期間の任意の時間に蓄積を開始する（ARG パルスが立ち下がる）場合は、ARG のクロックフィードスルーが OS 信号に重畳されてノイズとなります（図 12 の*2 参照）。この影響を低減するために、データシート（S11155/S11156-2048-01/-02）では、ARG の立ち下がり時間（T_{pfar}）の Min. 値を 200 ns に設定しています。

- (3) 水平シフトレジスタの遮光

裏面入射型 CCD を光入射方向から見た場合、水平シフトレジスタはシリコンの厚い部分（不感部分）

で覆われており、短波長の光はほとんど水平シフトレジスタに到達しません。しかし、長波長の光は、不感部分のシリコンを透過し、水平シフトレジスタで受光される可能性があります [図 31]。

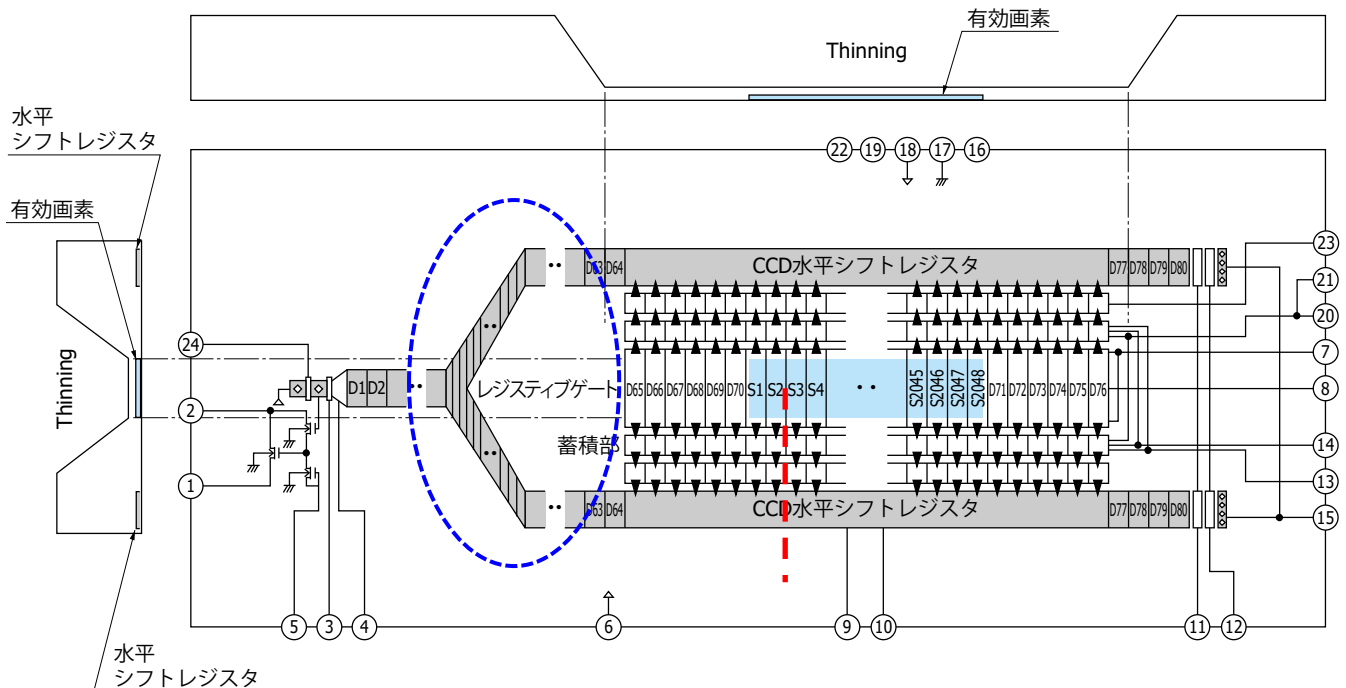
メカニカルシャッタなどを用いない場合、電荷の蓄積中や転送中にも水平シフトレジスタに光が入射し、その信号は偽信号として実際の信号に重畳されます。たとえば、時間的に変化のない光が水平シフトレジスタに入射する場合は、各チャンネルの出力信号が同じ割合で増加します。これらの影響は、水平転送時間が短い(出力信号周波数を速くする)ほど小さくなります。

水平シフトレジスタの遮光には、以下の方法があります。

- ① 蓄積期間だけに光を照射し、その期間に水平シフトレジスタに蓄積された不要な電荷を読み出した後に、実際の信号読み出しを行う
- ② 光の照射位置を調整して水平シフトレジスタに光が入射しないようにする
- ③ 水平シフトレジスタに光が入射しないように遮光用のマスクを付ける

改良タイプは、水平シフトレジスタを受光部から遠ざけて、光路 1 による透過光の影響を低減しています [図 31]。また、CCD チップの表面側に遮光メタルを付けることによって、受光部を透過してパッケージの金属膜で反射した光が水平シフトレジスタに入る成分 (光路 2) も低減しています。その結果、水平シフトレジスタへの光入射は従来品に比べ約 1/40~1/50 (LED のピーク波長: 880 nm) に低減しています。

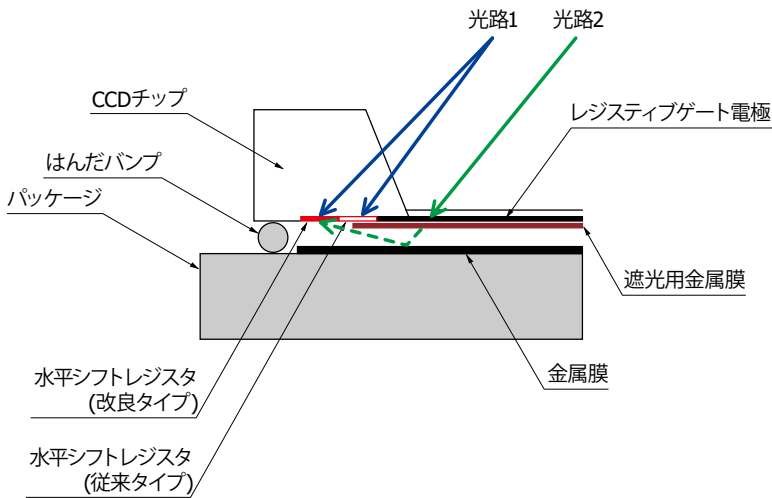
[図 30] デバイス構造 (改良タイプ)



注) 光入射方向から見た場合、水平シフトレジスタはSiの厚い部分 (不感部分) で覆われていますが、長波長の光は不感部分のSiを透過し、水平シフトレジスタで受光される可能性があります。必要に応じて遮光などの対策を行ってください。
受光部の各画素で光電変換された信号電荷は、一旦受光部中心を境に上下方向に分けて転送されます。そして、水平レジスタを介して合成され、アンプで読み出されます。

KMPDC0543JA

[図 31] センサ断面構造（図 30 の赤破線部分の断面）と水平シフトレジスタへの入射光路



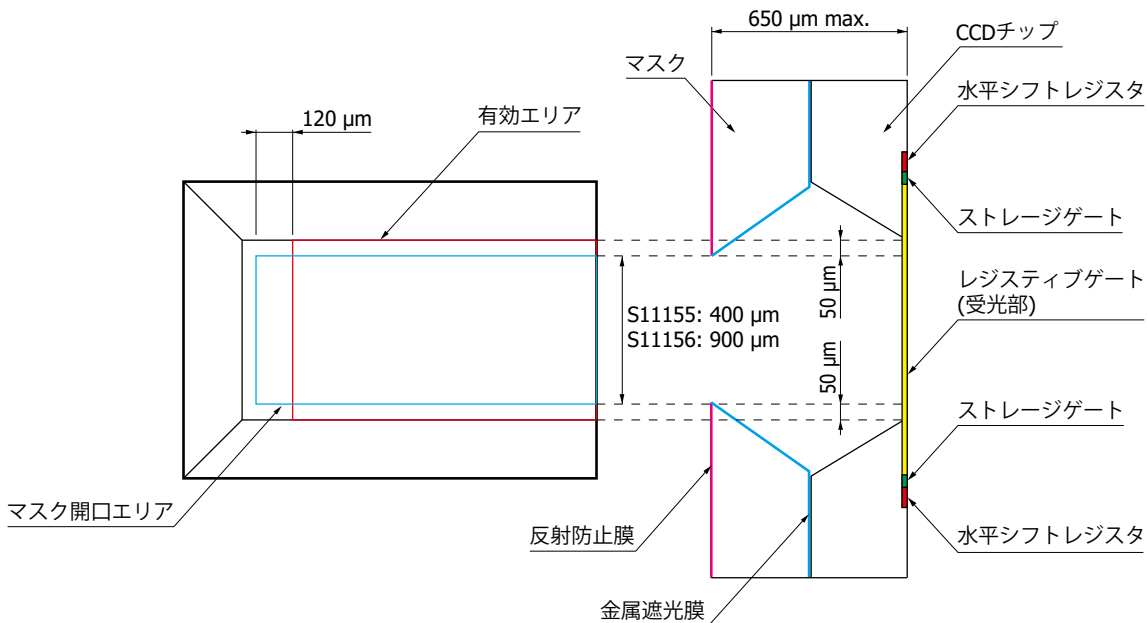
KMPDC0582JA

なお、改良タイプでは、読み出しアンプが配置された側にも電荷転送レジスタ（水平シフトレジスタのブランク画素）が配置されています（図 30 の青破線部）。この部分でも長波長の光が検出される場合があるため、遮光する必要があります。

・水平シフトレジスタ遮光用マスク

水平シフトレジスタの遮光性をさらに高めるために、CCD チップ上に当社製の遮光用マスクを搭載することが可能です [図 32]。遮光用マスクの縦方向の開口サイズは、S11155-2048-02 は 400 μm 、S11156-2048-02 は 900 μm です。なお遮光の効果は、光の入射角度などにより変わります。

[図 32] センサ構造（遮光用マスクを搭載: -02 タイプだけ対応可）



KMPDC0580JA

(4) レジスティブゲートの消費電力

レジスティブゲートは、高抵抗の電極で形成されています。この両端に電圧を印加して信号電荷

を転送します。この際、レジスティブゲートでは印加電圧とレジスティブゲート電極の抵抗値に依存した電力を消費します [表 4]。

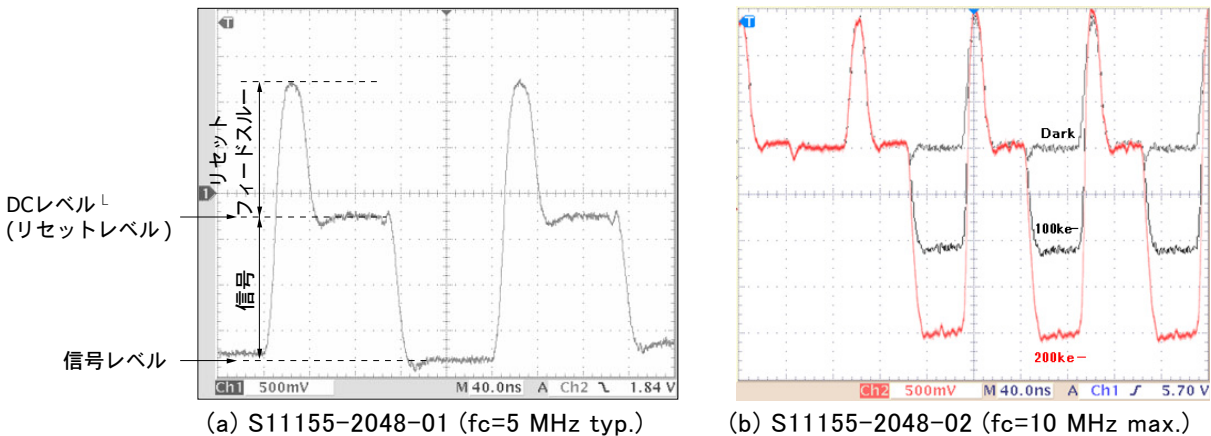
[表 4] レジスティブゲートの消費電力と抵抗値

項目	型名	記号	Min.	Typ.	Max.	単位
消費電力	S11155-2048-01	P _{REG}	1.4	2.5	12.5	mW
	S11155-2048-02		50	100	160	
	S11156-2048-01		0.7	1.3	6.3	
	S11156-2048-02		30	60	90	
抵抗値	S11155-2048-01	R _{REG}	0.5	2.5	4.5	kΩ
	S11155-2048-02		0.4	0.7	1.4	
	S11156-2048-01		1	5	9	
	S11156-2048-02		0.7	1.1	2.2	

(5) 出力波形例

改良タイプでは、読み出しアンプを改善しており、広い帯域を実現しています。

[図 33] OS 出力波形例 (指定のない場合は動作条件 Typ.で測定)

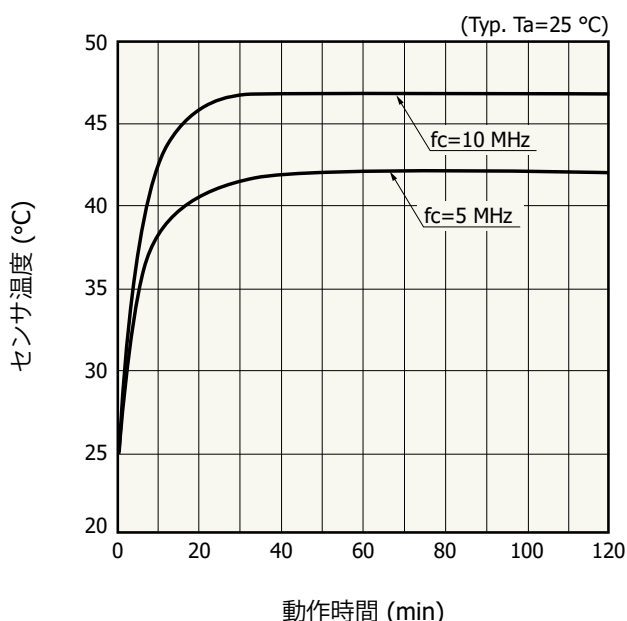


(6) センサ温度

図 34 は当社製評価回路を用いて S11156-2048-01 を動作させたときのセンサ温度と動作時間の関係を示した測定例です (回路系は密閉されており、放熱対策が施されていない状態)。高速動作させた場合は、センサ温度の上昇が顕著になります。センサ温度の上昇は暗電流の増加や素子の劣化を早めるため、センサへの放熱器の取り付けや送風などの放熱対策を行うことを推奨します。

なお、室温より低い安定したセンサ温度にしたい場合は、1 段電子冷却素子を内蔵した類似製品 S13255/6 シリーズの使用を推奨します。

[図 34] センサ温度—動作時間（当社製評価回路を使用）



KMPDB0331JA

13. 駆動回路

(1) 転送クロックパルス生成回路

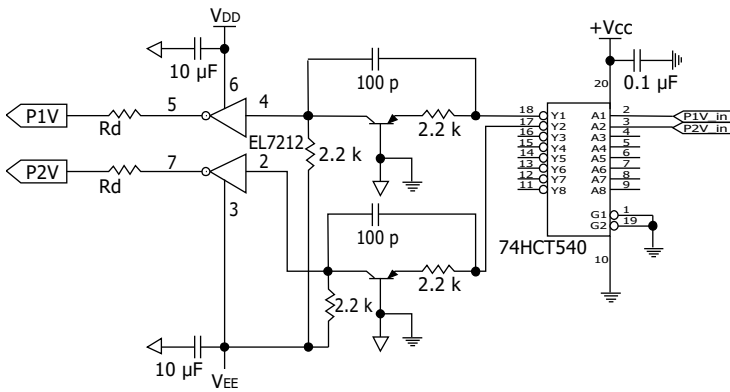
前述の通り CCD を動作させるためには、High レベルと Low レベルの電圧振幅をもつクロックパルスが必要です。このクロックパルスは数百 pF～数 nF の入力容量をもつ垂直シフトレジスタや水平シフトレジスタを高速で動作させなければなりません。このため、一般に CCD を駆動する場合は、容量性負荷を高速で駆動できる MOS ドライバが使用されます。

通常タイミング信号発生回路には、TTL もしくは CMOS ロジックレベル出力が可能な PLD や FPGA を使用します。これらの出力電圧は、+3.3 V もしくは +5.0 V であるため、MOS ドライバにはレベル変換回路を接続する必要があります。

2 相 CCD の場合では、垂直シフトレジスタや水平シフトレジスタを駆動するクロックパルスはオーバーラップが必要です。このため、MOS ドライバ IC と CCD の間には適当な値の抵抗 R_d (ダンピング抵抗: 数 Ω ～数 $k\Omega$) を挿入し、クロックパルスの上昇時間と下降時間を調整します。

デジタル系回路からの CCD へのノイズ混入をできるだけ減らすため、アナログ系グランドとデジタル系グランドは転送クロックパルス生成回路で同電位とすることを推奨します。

[図 35] 転送クロックパルス生成回路の例



VDD: クロックパルス Highレベル電圧
 VEE: クロックパルス Lowレベル電圧
 Rd: ダンピング抵抗 (数Ω~数十Ω)

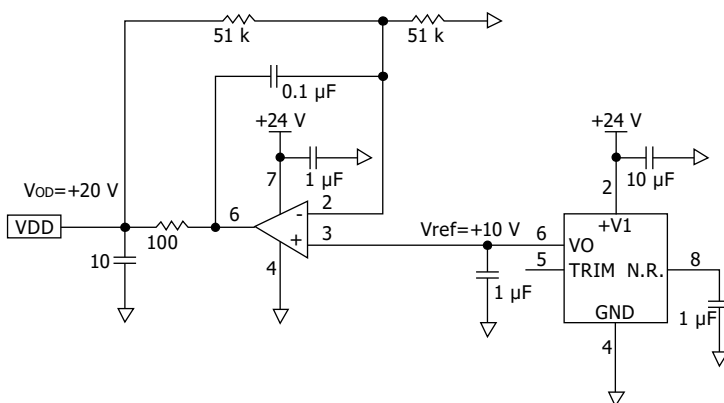
KMPDC0052JB

(2) バイアス電圧発生回路

バイアス電圧は、主に CCD の出力アンプ周辺部に印加されます。したがって、電源はノイズの少ない安定したものを使用してください。また、電圧精度・電圧変動・リップル・出力電流などに注意することも重要です。

OD 端子のバイアス電圧発生回路の例を図 36 に示します。基準電圧はリファレンス電源 IC より生成し、ローパスフィルタを構成する増幅器で所定の電圧値にしています。これにより、低ノイズで高安定・高精度の電圧が得られます。なお、バイアス電圧発生回路として、低ノイズのリニアレギュレータを使用する場合があります。

[図 36] バイアス電圧発生回路の例



KMPDC0303JA

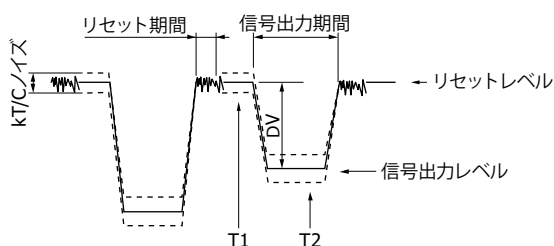
・信号処理回路

CCD のノイズの主な要因には、一般的によく知られている kT/C ノイズと $1/f$ ノイズがあります。 kT/C ノイズは、FDA における電荷放電 (リセット動作) によって生じます。このノイズは FDA のノード容量 (C_{fd}) の平方根に反比例し、CCD の全ノイズに対して大きな比率を占めます。また、 $1/f$ ノイズは FDA を構成する MOSFET で発生するノイズで、周波数に反比例します。

これらのノイズは CCD システムの S/N を悪化させるため、信号処理回路においてできる限り減らすように工夫する必要があります。その代表的な回路が CDS 回路です。

CDS 回路の動作原理について説明します。図 37 は CCD の出力波形を示しています。前述の通り FDA におけるリセット期間中に kT/C ノイズが発生します。このため、リセット期間が終了した時点の電圧レベルは kT/C ノイズによって変動します。したがって、時間 $T2$ においてデータを取得した場合、 kT/C ノイズの変動分が S/N を悪化させます。これに対して、出力波形の時間 $T1$ と時間 $T2$ でデータを取得し、その差を取ることで kT/C ノイズが除去された信号分 ΔV のみを取り出すことができます。このとき、オフセット電圧分や、リセットフィードスルーなどの DC 成分も同時に取り除かれます。

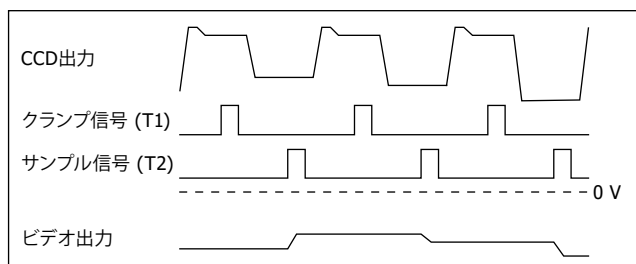
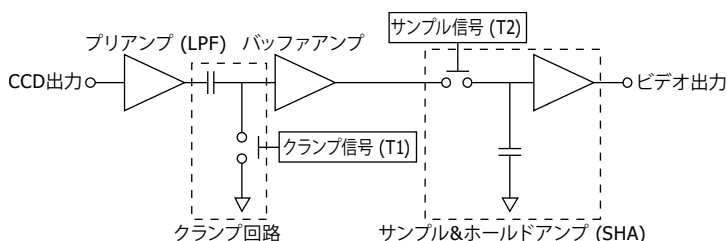
[図 37] CCD の出力波形



KMPDC0304JA

CDS 回路には「①クランプ回路とサンプル&ホールドアンプ（以下、SHA）を組み合わせた方式」と、「②SHA と差動アンプを組み合わせた方式」があります。①の方式 [図 38] は、非常に単純な回路構成ですが、クランプ回路に使用するスイッチのオン抵抗が大きい場合、除去されるノイズ量が少なくなったり、DC 電圧誤差を生じたりします。なお、オン抵抗は 0Ω であることが理想的です。

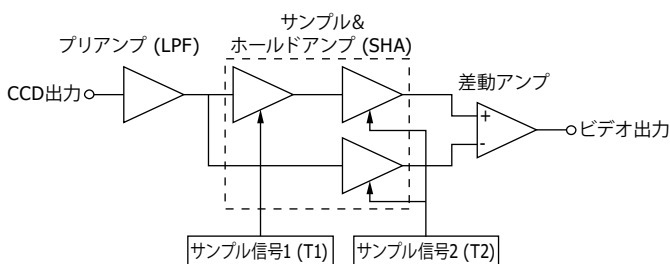
[図 38] CDS 回路（クランプ回路と SHA を組み合わせた方式）のブロック図



KMPDC0305JA

②の方式は、部品点数が多くなりますが、①の方式に比べてノイズの除去効果は高くなります。しかし、SHA 出力をアナログ的に演算するため、SHA 自体のもつノイズが加算され、ノイズが多くなる場合があります。SHA のノイズは kT/C ノイズが無視できる程度に小さい必要があります。

[図 39] CDS 回路 (SHA と差動アンプを組み合わせた方式)のブロック図



KMPDC0306JA

図 40 に①の方式の一部回路例を示します。

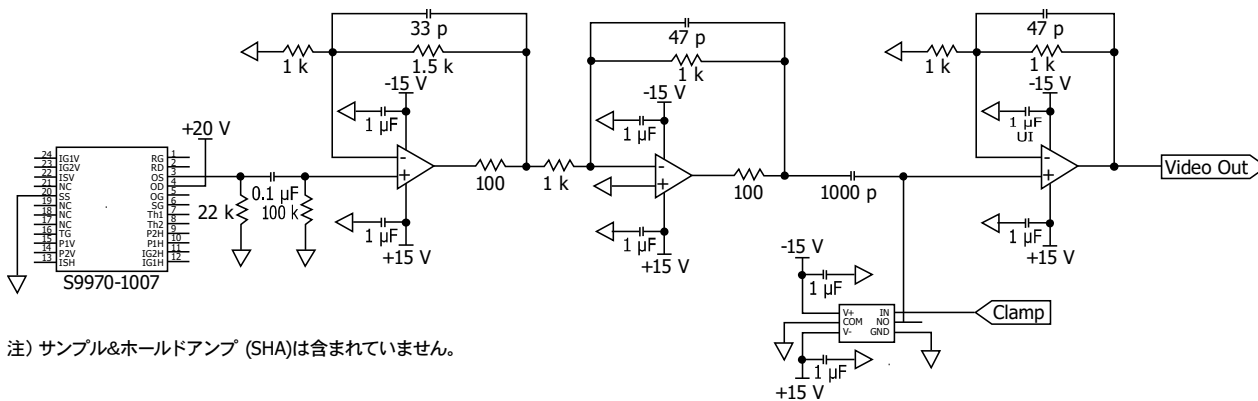
プリアンプでは CCD の出力を十分に増幅するためゲインを高くします。CCD の出力には DC 電圧成分を含んでいるため、コンデンサで AC 結合します。しかし、プリアンプのバイアス電流が大きい場合、このコンデンサにより大きな DC 電圧誤差を生じます。したがってバイアス電流の小さなアンプを選択する必要があります。一般的には JFET もしくは CMOS 入力型アンプを使用します。また CCD の出力波形を増幅できる十分な帯域をもった低ノイズのアンプを選択する必要があります。

クランプ回路はコンデンサとアナログスイッチにて構成します。アナログスイッチは、高速スイッチング用で低オン抵抗およびチャージインжекション量の小さなタイプを選択します。

最終段のアンプは、プリアンプと同様にコンデンサによる AC 結合となるため、JFET または CMOS 入力型を選択します。また、入力インピーダンスが高くなるように非反転増幅器を構成します。

ところで、CCD の出力は負極性であり、アナログ-デジタル変換を容易にするために最終段アンプの出力を正極性とします。このため、プリアンプの後段に反転増幅器を接続します。

[図 40] CDS 回路例



注) サンプル&ホールドアンプ (SHA)は含まれていません。

KMPDC0053JD

浜松ホトニクス株式会社

www.hamamatsu.com

仙台営業所 〒980-0021 仙台市青葉区中央3-2-1 (青葉通プラザ11階)
 筑波営業所 〒305-0817 つくば市研究学園5-12-10 (研究学園スクウェアビル7階)
 東京営業所 〒105-0001 東京都港区虎ノ門3-8-21 (虎ノ門33森ビル5階)
 中部営業所 〒430-8587 浜松市中区砂山町325-6 (日本生命浜松駅前ビル)
 大阪営業所 〒541-0052 大阪市中央区安土町2-3-13 (大阪国際ビル10階)
 西日本営業所 〒812-0013 福岡市博多区博多駅東1-13-6 (いちご博多イーストビル5階)

TEL (022) 267-0121 FAX (022) 267-0135
 TEL (029) 848-5080 FAX (029) 855-1135
 TEL (03) 3436-0491 FAX (03) 3433-6997
 TEL (053) 459-1112 FAX (053) 459-1114
 TEL (06) 6271-0441 FAX (06) 6271-0450
 TEL (092) 482-0390 FAX (092) 482-0550

固体営業推進部 〒435-8558 浜松市東区市野町1126-1 TEL (053) 434-3311 FAX (053) 434-5184