# CCDイメージセンサ

日初	¢ _				
1. ₽01	構造。 1-1 1-2 1-3 1-4 1-5 1-6	動作原理 CCDの種類 電荷転送動作 FDA 信号電荷のビニング 信号電荷の注入 NMOSイメージセンサとの比較 志面3.6k型/2mm,200	3	2-14 2-15 2-16 2-17 2-18 2-19	スプリアスチャージ アンチブルーミング 電子シャッタ エタロニング コスメティックス 宇宙線によるCCDへの影響
	1-8 1-9 1-10 1-11 1-12 1-13	な面入引空ノ装面入引空CCD 近赤外高感度タイプ裏面入射型CCD マルチポートCCD 電子冷却型CCD TDI-CCD レジスティブゲート構造 埋め込み型フォトダイオード	<u>P.23</u>	3-1 3-2 3-3 3-4 3-5 3-6 3-7	タイミング クロックパルス、DCバイアスの調整 信号処理回路 高速信号処理回路 出力回路における発光の対策 チップ温度 補正
2. <u>P.12</u>	特性 2-1 2-2 2-3 2-4 2-5 2-6 2-7	変換係数 分光感度特性 窓材の選択 感度不均一性 飽和電荷量 直線性 電荷転送効率	4. <u>P35</u>	3-8 3-9 3-10 3-11 3-11 体用 4-1	FOSEのカッノリンク 放射線損傷 放熱 静電気/サージ対策 <b>製品</b> 特長 構成
	2-8 2-9 2-10 2-11 2-12 2-13	暗電流 ノイズ ダイナミックレンジ 解像度 点像分布関数 (point spread function) ノイズの周波数特性	5. <u>P.37</u>	4-3 新た	使い方 な <b>取り組み</b>

# 1. 構造、動作原理

CCDイメージセンサ [以下CCD: Charge Coupled Device]は、1970年にAT&Tベル研究所のBoyleと Smithにより考案されたデバイスです。CCDは、電荷転 送デバイス (CTD: Charge Transfer Device)の1つであ り、ポテンシャルウェル (potential well: 電位の井戸)を 利用して半導体中で電荷を転送するイメージセンサで す。今日では、ほとんどのCCDで基板内部に電荷転送路 が埋め込まれたBCCD (Buried-channel CCD)構造が 使われています。

CCDのポテンシャルウェルは、図1-1に示すように複数 のMOS (Metal Oxide Semiconductor)構造の電極の1 つに他と異なる電圧を加えることによって実現されます。 ポテンシャルウェルに閉じ込められた信号電荷は、半導体中を出力部に向かって順次転送されます。したがって CCDは、アナログシフトレジスタとも呼ばれています。

このようにCCDは、半導体中で電荷を転送するデバイ スですが、現在ではイメージセンサとして広く一般に使 用されているため、イメージセンサやカメラの代名詞とし ても呼ばれるようになっています。



1-1 CCDの種類

現在、実用化されているCCDは、転送方式によって以下の4つに分類されます。

- ・FT (Frame Transfer)型 (2次元)
- ・FFT (Full Frame Transfer)型 (2次元)
- ・IT (Interline Transfer)型 (1次元、2次元)
- ・FIT (Frame Interline Transfer)型 (2次元)

FFT型・1次元型以外のタイプは、汎用のビデオカメラ に使用されています。FFT型・1次元型は、動作原理上ビ デオカメラに利用することは難しく、主として計測用や分 析用に利用されています。

(1) FT型

FT型CCD (FT-CCD)は、受光部と蓄積部から成る2つ の垂直シフトレジスタと1つの水平シフトレジスタおよび 出力部より構成されます。垂直シフトレジスタはパラレル レジスタ、水平シフトレジスタはシリアルレジスタまたは読 み出しレジスタと呼ばれることもあります。受光部の電極 としては、一般的にPoly-Si (多結晶Si)などの透明電極を 使用します。

透明電極を通ってCCDの半導体中に光が入射する と、光電変換が行われ信号電荷が発生します。この信号 電荷は、特定の蓄積時間に電極下のポテンシャルウェル に集められます。その後、信号電荷は、垂直帰線期間を 利用してフレームごと蓄積部に高速転送されます。この ようにFT型では、受光部の垂直シフトレジスタは、蓄積 時間において光電変換デバイスとして機能します。

蓄積部の信号電荷は、受光部で光電変換と信号の蓄 積が行われる間に、水平シフトレジスタを通って出力部に 転送されます。この動作は、蓄積部の1ラインごと水平帰 線期間に水平シフトレジスタへ電荷が転送されることに よって行われます。なおFT型の受光部以外の部分は、 光が入らないようにアルミなどの不透明金属で覆われて います。

#### [図1-2] FT型の構造



#### (2) FFT型

FFT型CCD (FFT-CCD)は、基本的にはFT型CCDから蓄積部をなくした構成です。蓄積部がないために、通常は何らかの外部のシャッタ機構と併用して使用されます。この制約のため、ビデオカメラに使用することは難しい構成になっています。

動作原理はFT型に似ており、蓄積時間には受光部の ポテンシャルウェルに電荷を集め、シャッタの閉期間など に水平シフトレジスタを通して信号電荷が出力部に転送 されます。

FFT型は、蓄積部がないため同一のチップサイズで画 素数を多くしたり、画素サイズを大きくできるため、主とし てフレームレートの遅い計測用のカメラシステムに使用 されます。なお、当社製のCCDの多くはFFT型です。

# 

[図1-3] FFT型の構造

KMPDC0038JA

(3) IT型

#### ▲ 1次元タイプ

IT型CCD (IT-CCD)の1次元タイプでは、フォトダイ オードで光電変換により発生した信号電荷は、隣接した ストレージゲートに集められます。その後、ストレージゲー トと水平シフトレジスタの間にスイッチとして設けられた トランスファーゲートを通して、水平シフトレジスタに信号 電荷が転送されます。ストレージゲートから水平シフトレ ジスタへの転送は、全画素について同時に行われます。

図1-4に、IT型CCD (1次元タイプ)の構造を示します。 フォトダイオードアレイの奇数画素の信号電荷は上の水 平シフトレジスタへ、偶数画素の信号電荷は下の水平シ フトレジスタへ転送され、1つのFDA (Floating Diffusion Amplifier, 「1-3 FDA |参照)で交互に信号電荷が検出さ れます。奇数画素と偶数画素の信号電荷を別々の水平 シフトレジスタへ転送することによって、フォトダイオード アレイの小ピッチ化や、アンチブルーミングや電子シャッ タの構造を形成することが可能になります。



### [図1-4] IT型 (1次元タイプ)の構造

#### ▲ 2次元タイプ

IT型CCD (2次元タイプ)では、受光部は、フォトダイ オードかMOS構造のダイオードで成り立っており、転送 部とは別に設けられています。最近のIT型(2次元タイ プ)では、暗電流の少ない埋め込み型フォトダイオードが 用いられています。垂直シフトレジスタはフォトダイオー ドの横に配置され、さらに水平シフトレジスタと出力部に より構成されます。

フォトダイオードで光電変換により発生した信号電 荷は、フォトダイオード自身の接合容量などに集められ ます。その後、垂直帰線期間に、フォトダイオードと垂直 シフトレジスタの間にスイッチとして設けられたトランス ファーゲート (転送ゲート)を通して、垂直シフトレジスタ に信号電荷が転送されます。この動作はFT型とはやや 異なり、IT型(2次元タイプ)のフォトダイオードから垂直 シフトレジスタへの電荷の転送は、全画素について同時 に行われます。

この後の動作は、FT型の「蓄積部への信号電荷の転 送以降の動作と同じであり、信号電荷は水平帰線期間に 1ラインずつ水平シフトレジスタへ転送され出力されます。

図1-5にIT型 (2次元タイプ)の構造を示します。FT型 と同様にフォトダイオード以外の部分は、アルミなどに よって遮光されています。IT型 (2次元タイプ)では、信号 電荷の蓄積部から出力部への転送は、フォトダイオード が蓄積動作を行っている期間を利用して行われます。こ のため、垂直シフトレジスタへの信号電荷の漏れ込みに よるスミアと呼ばれる現象が発生しやすくなっています。

#### [図1-5] IT型 (2次元タイプ)の構造



#### (4) FIT型

FIT型CCD (FIT-CCD)は、IT型CCDの問題点を改善 するために考案されたタイプで、IT型に蓄積部を設けた 構成になっています。FIT型では、フォトダイオードから 垂直シフトレジスタへ信号電荷が転送されると、すぐに 蓄積部に信号電荷が高速転送されます。したがってFIT 型には、IT型に比べてスミアを少なくできるという特長が あります。

#### [図1-6] FIT型の構造





1画素を2本の電極 (gate)で構成したCCDを2相CCD または2電極CCDと呼びます。2相CCDでは、2つの異な る電圧レベル (Highレベル、Lowレベル)をもったクロック パルスを加えることによって [図1-7 (c)]、信号電荷の転 送が行われます。

2相CCDでは、半導体プロセスによって作成した電位 差により信号電荷の転送方向が決まります。信号電荷 は、蓄積電極下に蓄積されます。たとえば図1-7の場合、 時刻 t1ではP1電極をHighレベル (P2電極はLowレベ ル)にすることで、信号電荷はP1電極の蓄積電極下に蓄 積されます。

2相CCDでは、クロックパルスのオーバーラップが重要 です。タイミングチャート [図1-7 (c)]に示すように、P1・P2 がHighレベルとLowレベルの中間よりも高いレベル (High レベルをV、Lowレベルを0としたとき、V/2以上のレベル) で交差する必要があります (時刻 t2)。P1がHighレベルの ときにP2がLowレベルになるような状態が交互に切り替わ るように設定することで、信号電荷を転送することが可能 になります。

#### [図1-7] 2相CCDの動作原理





(b) 電位













FDA (Floating Diffusion Amplifier)は、最も広く使用されている「CCDの電荷検出の方式」です。FDAは、 図1-8に示すように電荷の検出ノードと、それに接続されたリセット用MOSFET (MOS1)と電荷-電圧変換用 MOSFET (MOS2)により構成されます。検出ノードに転送 された電荷は、電荷-電圧変換用MOSFETで、Q=CVの 関係により電荷から電圧に変換されます。次の信号を読 むために検出ノードは、リセット用MOSFETによりリファレ ンスレベル (RDの電圧)にリセットされます。

FDAでは、検出に伴うノイズはノードの容量によって決 まりますが、Whiteによって提案されたCDS (Correlated Double Sampling: 相関2重サンプリング)によってほとん ど除去することができます。

信号電荷が出力されるタイミングは、シフトレジスタの 最終クロックゲートであるサミングゲート (SG)がHighレ ベルからLowレベルになるときと同期しています。

#### [図1-8] FDAを採用したCCDの出力部





CCDの信号電荷は、蓄積時間にそれぞれの画素のポ テンシャルウェルに蓄積されます。FFT型CCDでは、蓄 積時間の終了時には、図1-9(a)に示すように2次元的に 情報が蓄えられています。

垂直のシフトレジスタと水平のシフトレジスタは個別に クロックパルスを入れることができるため、ビニングと呼 ばれる動作方法が可能です。ビニングはCCD特有の動 作方法で、信号電荷を加算する方向によってライン (垂 直)ビニングとピクセル (水平)ビニングに分けられます。

#### (1) ラインビニング (line binning)

ラインビニングでは、縦方向の画素の信号を加算しま す。図1-9(b)に示すように、水平シフトレジスタのクロッ クパルス P1Hを停止した状態で垂直シフトレジスタに所 定の回数のクロックパルス P1V・P2Vを入れると、信号電 荷は対応する水平シフトレジスタの1画素に次々に転送 され信号が加算されます。

ラインビニングを用いることによって、縦方向に非常に 長い受光領域をもった1次元センサと同等の信号を得る ことができ、さらに出力部における読み出しが一度で済 むため、読み出しに伴うノイズの混入を最小限にするこ とができます。

#### [図1-9] ラインビニング







(2) ピクセルビニング (pixel binning)

CCDの水平シフトレジスタの最終ゲートは、サミング ゲート(SG)と呼ばれる単独のゲートで構成されていま す。ピクセルビニングを行わない場合には、SG端子を直 接P2Hと短絡することによって使用できます(SGをP2H と短絡しないで、P2Hと同じクロックパルスを入れても構 いません)。SGに別のクロックパルスを入れることによっ て、ピクセルビニングが可能になります。

ラインビニングと組み合わせて使用することで、図1-10 に示すように2 × 2画素などの信号を加算することがで きます。この場合、まずラインビニングによって2ラインの 信号が水平シフトレジスタの画素に加算されます。次に、 水平シフトレジスタによる信号電荷の読み出しにおいて、 P1Hの2クロックパルス期間に1クロックの割合でSG端子 にクロックパルスを入れることで、SGにおいて水平の2つ の画素の信号を転送して加算することができます。 この方法を用いれば、たとえば1024 × 1024画素の CCDにおいて入射光量が十分でないとき、512 × 512画 素のセンサとして機能させることによって、解像度は低下し ますが、コントラストの優れた画像を得ることができます。

#### [図1-10] ピクセルビニング (a) 信号電荷の流れ



#### (b) タイミングチャート



### 1-5 信号電荷の注入

CCDには、電気的な信号入力テスト端子として、垂直 シフトレジスタと水平シフトレジスタの先頭に入力ソー ス (ISV, ISH)と入力ゲート (IGV, IGH)が配置されてい ます。通常は、これらのテスト端子には一定のバイアス (データシート参照)を印加しておきますが、入力ソースと 入力ゲートに既定値以外のバイアスやクロックパルスを 加えることでシフトレジスタに信号電荷を注入することが できます。これによって、放射線によるCCDの電荷転送 効率の劣化を低減することができます。また、飽和電荷 量やFDAの直線性を定量的に評価するためにも利用で きます。入力ソースに電流源を接続し、入力ゲートをP2と 短絡してクロックパルスを入れることで、シフトレジスタに 信号電荷を注入できます [図1-11]。この方法における 注入電荷量は、電流源の注入電流値と注入時間 (CCD の駆動周波数の逆数に相当)の積に一致します。

 $Qinj = Iinj \times t \dots (1-1)$ 

Qinj	:注入電荷量	[C]
inj	:注入電流	[A]
:	: 注入時間	[s]



# 1-6 NMOSイメージセンサとの比較

CCDイメージセンサとNMOSイメージセンサは、方式 が異なるため仕様や性能が大きく異なります。

NMOSイメージセンサは、フォトダイオードに蓄積され た信号電荷をデジタルシフトレジスタにより順次アドレ スすることで、スイッチのMOSFETを通して信号ライン に電荷を出力します。このとき、デジタルシフトレジスタに TTLレベルの一定のタイミングのクロックパルスを供給 すれば動作するため、外部の信号処理部を除けば5 V 単一電源で動作させることができます。

一方、CCDイメージセンサ(1次元IT型)の場合、 フォトダイオードに蓄積された信号電荷は、スイッチの MOSFETをオンにすることでアナログシフトレジスタに 転送されます。その後、信号電荷はアナログシフトレジス タにより、順次、最終に設けられたFDAに転送され出力 されます。CCDイメージセンサは、動作に必要な電源は 単一ではなく、クロックパルスは仕様に定められた所定 の振幅にする必要があります。CCDイメージセンサは、 読み出しノイズレベルが数~十数e<sup>-</sup>rmsと小さく、また、 FDAを構成するアンプの帯域により、10 MHzを超える画 素レートでの読み出しが可能になります。

NMOSイメージセンサは、ノイズが3000 e<sup>-</sup> rmsと大き いですが、取り扱い可能な信号電荷量がCCDイメージ センサの数十万e<sup>-</sup>に比べて100倍以上も大きいため、一 般に検出する光が十分に大きい場合にはNMOSイメー ジセンサを使った方が簡易なシステムが実現できます。 一方CCDイメージセンサは、ノイズが小さいため、NMOS イメージセンサで検出できない光でも十分なS/Nが得ら れ、微弱光検出に適しています。

# [図1-12] NMOS/CCDイメージセンサの比較(a) NMOSイメージセンサ



#### (b) CCDイメージセンサ (IT型、1次元型)



### 1-7 表面入射型/裏面入射型CCD

一般的にCCDは、パターンが形成されている側から 光を入射させる構造になっています。このような構造の CCDを表面入射型CCDといいます。表面入射型CCDの 光入射面は、BPSG膜・Poly-Si電極・ゲート酸化膜など が堆積したSi基板の表面にあるため、入射光はその部 分で大きく反射・吸収されます [図1-13 (a)]。このため 量子効率は可視域で最大40%程度になり、紫外域には 感度がありません。

このような問題を解決するために開発されたのが裏 面入射型CCDです<sup>1)</sup>。裏面入射型CCDは、BPSG膜・ Poly-Si電極・ゲート酸化膜などがないSi基板の裏面か ら光を入射する構造になっています [図1-13 (b)]。この ため裏面入射型CCDは、広い波長域で高い量子効率を 実現します。裏面入射型CCDは、CCDが本来もっている 高感度・低ノイズといった特長をそのまま生かした上に、 電子線・軟X線・紫外・可視・近赤外域に感度をもってい ます。

#### [図1-13] CCDの概念図



#### (b) 裏面入射型



裏面入射型CCDの高感度を実現するためには、Si基 板の薄型化と受光面の活性化が不可欠です。受光面の 活性化は、裏面入射面近くで発生した信号電荷が、再 結合せずに入射面からCCDのポテンシャルウェルまでス ムーズに運ばれるように内部電位の勾配を形成すること (アキュムレーション)によって行われます<sup>2)3)</sup>。アキュム レーション状態の内部電位の様子を図1-14に示します。

#### [図1-14] 裏面入射型CCDの内部電位



裏面入射型CCDを光入射方向から見た場合、水平シ フトレジスタはSiの厚い部分(不感部分)で覆われており、 短波長の光はほとんど水平シフトレジスタに到達すること はありません。しかし、長波長の光は不感部分のSiを透過 し、水平シフトレジスタで受光される可能性があります。

外部シャッタを使用しない場合、電荷の蓄積中や転送 中にも水平シフトレジスタに光が入り、その信号は偽信号 として実際の信号に重畳されます。たとえば、時間的に 変化のない信号が水平シフトレジスタに入射する場合、 信号に一定のオフセット上昇として現れます。その影響 は水平転送時間が短いほど小さくなります。

必要に応じて、外部シャッタの使用、光入射位置の調 整、遮光などの対策を行ってください。



#### [図1-15] 裏面入射型CCDのデバイス構造 (外形寸法図において上面から見たCCDチップ概念図)

# 1 - 8 近赤外高感度タイプ裏面入射型CCD

通常の裏面入射型CCDは、紫外/可視域で高い量子 効率をもっていますが、Si厚が15~30 µm程度のため近 赤外域の量子効率は低く、波長 1 µmの量子効率は約 20%です。Siを厚くすれば近赤外域の感度は向上します が、中性領域(空乏化していない領域)における電荷が横 方向に拡散することにより、解像度が劣化してしまいます。

このような問題を解決するために開発されたのが近 赤外高感度タイプ裏面入射型CCDです。近赤外域で高 感度を実現するために、以下の完全空乏化タイプを用意 しています。

#### 💠 完全空乏化タイプ

完全空乏化タイプは、空乏層を厚くするために超高 抵抗のN型ウエハを使用しています。Siの比抵抗が同じ 場合、N型ウエハはP型ウエハよりも不純物濃度を低くで き、同じバイアス電圧でも厚い空乏層にすることができ ます [図1-16 (b)]。一方、裏面にバイアス電圧を印加す ることでMPP動作 (「2-8 暗電流」参照)ができないこと とSiが厚いことから暗電流が大きくなり、-70~-100°Cに 冷却する必要があります。なお、標準タイプの裏面入射 型CCDはSi厚が薄いため大面積化は困難ですが、完全 空乏化タイプ裏面入射型CCDはSi全体を100~300 µm 程度に厚くするため、大面積化を容易に行うことができ ます。

#### [図1-16] 裏面入射型CCDの内部構造 (a) 標準タイプ





# 1-9 マルチポートCCD

CCDの読み出し時間は、画素数と読み出し周波数に よって決まり、長い時間を必要とします。たとえば1024 × 1024画素で読み出し周波数 100 kHzの場合には、読み 出し時間だけで10秒以上がかかります。

読み出し周波数と読み出しノイズは、トレードオフの関係にあります。読み出し周波数を高くすると、読み出し時間は短くなりますが読み出しノイズは大きくなってしまいます[図2-18]。

CCDのアンプを複数にすること (マルチポート化)で、 画素の読み出しを並列化してフレームレート (1秒当たり に取得できる画面数)を向上させることができます。

#### [図1-18] マルチポートCCDの構造



マルチポートCCDを進化させて画素の読み出しをさら に高速化したものが列並列型CCDです。画素1列ごとに オンチップアンプを設けて、各オンチップアンプを垂直シ フトレジスタと接続した構造をもちます。列並列型CCDに は水平シフトレジスタがなく、水平シフトレジスタの転送 時間がかからないため、従来のマルチポートCCDを超え る高速応答を実現することが可能です。

なお、列並列型CCDではオンチップアンプ数が非常に 多くなるため、信号処理回路を外部に設けることは実用 的ではありません。当社は、オンチップのCMOS信号処理 回路を搭載したTDI-CCDを開発しました(「1-11 TDI-CCD」参照)。

#### [図1-19] 列並列型CCDの構造



### 1-10 電子冷却型CCD

CCDの暗電流は温度特性をもち、CCDの温度が5~7°C 下がるごとに約半分になります。このためCCDを冷却す ることは、MPP動作(「2-8 暗電流」参照)と並んで暗電 流を低減して検出限界を改善する効果的な方法です。

電子冷却型CCDにおいて、パッケージに内蔵された 電子冷却素子(ペルチェ素子)によってCCDの冷却を行います。冷却温度は、電子冷却素子の最大吸熱量や放 熱能力によって決まります。電子冷却素子は、製品によっ て以下の値が異なります。

- ・最大電流 (Imax)
- ・最大電圧 (Vmax)
- ・最大吸熱量 (Qmax)

電子冷却素子やCCDを破損しないためには、データ シートに記載された数値の範囲内で使用してください。 電子冷却素子の使用に当たって、放熱の方法は重要で す。放熱が十分に行われない場合、期待した冷却ができ ないことがあります。これは、高温側の温度上昇が起き るためであり、放熱器の最適化や強制空冷/水冷など が必要になります。なお電子冷却素子は、最大電流値の 60%以下で使用することによって効果的にCCDを冷却 できます。 周囲温度 25°Cの場合、CCDは以下の温度に冷却されます。

- ・1段電子冷却型: 0~-10°C位
- ・2段電子冷却型: -20~-30°C位
- ・4段電子冷却型: -50~-70°C位

安定した動作を実現するために、周囲環境に合わせ て電子冷却素子の電流や放熱条件を決める必要があ ります。



### 1 - 11 TDI-CCD

裏面入射型TDI (Time Delay Integration)-CCDは、 高速撮像時などにおいて低照度下でも高いS/Nの画像 が得られるCCDです。TDI動作により、移動する対象物 を積分露光することで、飛躍的に高い感度を得ることが できます。裏面入射型のため、紫外~近赤外の幅広い 波長域 (200~1100 nm)で高い量子効率を実現してい ます。

#### ✿ TDI動作

CCDでは、ポテンシャルウェルに信号電荷を保持し て、個々の電荷が混じらないように転送して出力します。 TDI動作は、このようなCCDの電荷転送の原理を巧みに 利用して、微弱光を検出したり、移動する物体を撮影した り、あるいはCCDセンサ自体が移動して、静止物体をス キャンして撮影する場合に有効な方法です。

通常、センサ上に結像された画像は、その位置に対応 した信号量として出力されます。この方法では、蓄積時 間の間に結像された画像は必ず同じ位置にあることが 必要であり、何らかの理由で結像位置にずれが生じると 画像のS/Nが低下します。被写体が移動する場合、結像 位置がずれることで画像にボケが発生し、場合によって はまったく画像にできないこともあります。 それに対してTDI動作は、移動する被写体に対しても 画像化できるユニークな動作方法です。FFT型CCDで は、電荷読み出しの際、列単位で電荷の垂直転送を行 います。その転送のタイミングと被写体の移動タイミング を合わせ、CCD画素の垂直段数分の回数で信号電荷の 蓄積をする方式がTDI動作です。

TDI動作においては、被写体の移動と同じ方向に同じ 速度で電荷転送を行う必要があります。その速度は、式 (1-2)で表されます。

 $v = f \times d \cdots (1-2)$ 

v: 被写体移動速度、電荷転送速度 f: 垂直の転送周波数 d: 画素サイズ (転送方向)

図1-21の1段目で蓄積された電荷が2段目に転送され るのと同時に2段目においても光電変換により電荷の蓄 積が行われます。この動作をM段(垂直段数)まで連続 して行った場合には、M倍の電荷が蓄積されます。この ため、リニアイメージセンサに比べてM倍の感度を実現 できます(垂直段数が128の場合、通常のリニアイメージ センサに比べて128倍の感度が得られます)。蓄積され た電荷はCCDの水平シフトレジスタから列ごとに出力さ れ、とぎれがない2次元の画像が得られます。またTDI動 作では、2次元動作モード時よりも感度のバラツキが改 善されます。





[図1-22] TDI動作による撮影例

(a) 高速移動する対象物の撮影



KMPDC0266JB



図1-22 (b)においてCCDを2次元動作させてドラムが 静止した状態で撮影した場合、図1-23 (a)のようにブレ のない画像を取得することができますが、ドラムが回転 していると図1-23 (b)のように画像はブレてしまいます。 シャッタ時間を短くした場合、ブレのない画像が得られま すが、画像は図1-23 (c)のように暗くなります。TDI-CCD は、ドラムの回転と同じ方向に同じ速度で電荷転送を行 うため、図1-24のような明るくブレのない連続画像が得 られます。



#### ✿ CMOS信号処理回路付TDI-CCD

高速撮影時において十分な明るさの画像が得られる TDI-CCDと、デジタル出力を可能にするCMOS信号処理 回路の特長を併せもった新しいイメージセンサも用意し ています。

従来のTDI-CCDはアナログ出力のため、外部に信号 処理回路を用意する必要がありました。CMOS信号処 理回路付TDI-CCDは、オンチップのCMOS信号処理回 路を搭載することによりA/D変換後にデジタル信号を出 力するため、外部回路の簡素化が可能です。図1-25に 構成を示します。受光・電荷転送を行うCCD受光部と CMOS信号処理回路のそれぞれを最適なプロセスで製 造して組み合わせることによって、最良の特性が得られ ます。これによりCMOS信号処理回路付TDI-CCDは、紫 外域における高い感度や高い電荷転送効率など、従来 のTDI-CCDの特長を損なうことなく、デジタル出力を実 現しています。

また、列並列型CMOS信号処理回路を使用しており、 CCD受光部の列並列読み出しが可能です。出力信号を 外部で処理する従来のTDI-CCDにおいて列並列読み 出しは、外部回路が大型化するため実現が困難でした。 CMOS信号処理回路付TDI-CCDでは簡易な外部回路 にて、高いラインレートを実現します。

#### [図1-25] CMOS信号処理回路付TDI-CCDの構成 (S14810, S14813)



# 1-12 レジスティブゲート構造

通常のCCDの場合、1画素内に複数の電極があり、異 なったクロックパルスを印加することで信号電荷を転送 します [図1-26]。レジスティブゲート構造の場合、受光 部に単一の高抵抗電極があり、その両端に異なる電圧 を印加してポテンシャルスロープを形成することで信号 電荷を転送します [図1-27]。CCDエリアイメージセンサ をラインビニングし1次元のセンサとして使用する場合に 比べると、CCDリニアイメージセンサの受光部においてレ ジスティブゲート構造を採用することによって、高速転送 が可能になり、画素高さが大きい場合でも読み残しの少 ない読み出しを行うことができます。





1-13 埋め込み型フォトダイオード

受光部にフォトダイオード構造を採用した表面入射 型CCDリニアイメージセンサ(IT型)において、フォトダ イオードを埋め込み型にすることによって低暗電流を実 現できます。埋め込み型フォトダイオードは、受光部の表 面に薄いP+拡散層を設けたP+N+P構造となっています [図1-28]。空乏層がSi-SiO2界面から離れているため、暗 電流をMPP動作時のCCDと同等のレベルまで低減でき ます。





埋め込み型フォトダイオードの受光部表面には、表面 入射型CCDイメージセンサ(FFT型)とは異なりPoly-Si ゲート電極が形成されていません。この構造により、表面 入射型であっても紫外域で高い量子効率を実現して います。

#### [図1-29] 分光感度特性 (窓なし時,代表例)



KMPDB0588JB



### 2-1 変換係数

変換係数は、FDAが電荷を電圧に変換する割合を示 す係数です。

FDAによって信号電荷は、出力端 OSにて電圧 ΔVout として出力されます。

 $\Delta$ Vout = Av × Q / Cfd ······· (2-1)

Av:電荷-電圧変換MOSFETの電圧ゲイン Q:信号電荷 [C] Cfd:ノードの容量[F]

変換係数 (Sv)は、式 (2-2)で表されます。

 $Sv = q \times \Delta Vout / Q [V/e^-] \dots (2-2)$ 

q: 1電子当たりの電荷量 S7030/S7031シリーズの場合: Sv=2.2 µV/e<sup>-</sup> S11071シリーズの場合 : Sv=8.0 µV/e<sup>-</sup>

ノードの容量 (Cfd)は、式 (2-3)で表されます。

 $Cfd = q \times Av / Sv [F] \dots (2-3)$ 

S7030/S7031シリーズの場合: Cfd=48 fF S11071シリーズの場合 : Cfd=12 fF

分光感度特性 2

表面入射型CCDと裏面入射型CCDの分光感度特性 を図2-1に示します。表面入射型CCDは紫外域に感度が なく、可視域の量子効率のピークは約40%であるのに対 し、標準タイプ裏面入射型CCDは紫外域で40%以上、可 視域のピークで約90%という非常に高い量子効率を実 現しています。完全空乏化タイプ裏面入射型CCDは、Si が厚いため波長 800~1100 nmの領域で、標準タイプ の裏面入射型CCDよりも高い感度をもっています。また、 特殊なARコート形成プロセスを採用することで400~ 700 nmの可視域でも高い感度をもっていますが、紫外 域の感度は低くなっています。

分光感度特性の長波長側は使用するSiの厚さで決 まり、短波長側はセンサの光入射面側の構造によって 決まります。表面入射型のFFT-CCDでは構造上、有効 受光面の上にPoly-Siゲート電極を形成する必要がある ため、400 nm以下の紫外域ではほとんど感度がありま せん。紫外域に感度をもたせるためにCCDにルモゲン (Lumogen)シンチレータをコートしたタイプもあります。 裏面入射型CCDは、紫外域から近赤外域まで高い量子 効率を実現し、紫外線に対しての安定性も非常に優れ ています。 特に700 nm以上の近赤外域において、標準タイプの 表面入射型CCDの量子効率は高くありませんが(空乏 層の厚さによる)、近赤外高感度タイプ表面入射型CCD は、近赤外域でも高い量子効率を実現しています[図 2-2]。

なおCCDを冷却して使用する場合、約800 nm以上の 波長域では感度が低下する方向にシフトするため注意 が必要です [図2-3]。





KMPDB0592JA

#### [図2-2] 表面入射型CCDの分光感度特性 (窓なし時)



KMPDB0205JC



(1) 分光感度特性を最適化した裏面入射型CCD

裏面入射型CCDにおいては、受光面上の反射防止膜 を最適化することによって、さまざまな分光感度特性を 実現することが可能になります [図2-4]。



#### [図2-4] 分光感度特性 (裏面入射型CCD, 窓なし時, 代表例)

(2) 紫外域において安定した分光感度特性をもつ 表面入射型CCDリニアイメージセンサ

紫外域に感度をもつ表面入射型CCDの紫外域の分光 感度特性は、素子によってバラツキがありました。当社は、 受光面に特殊な構造を形成することにより、紫外域におけ る分光感度特性の素子ごとのバラツキを抑制した表面入 射型CCDリニアイメージセンサ S11151-2048を開発しま した。

(3) ルモゲンコート表面入射型CCD

表面入射型CCDでは、受光面上をPoly-Siの電極が 覆っています。紫外線はPoly-Siによってほとんど吸収さ れてしまい、量子効率はほぼゼロになります。このため 表面入射型CCDは、紫外感度を得るためルモゲンシンチ レータをコートする場合があります。ルモゲンは、真空昇 華によりCCDの有効受光面上に直接コートされます。

ルモゲンは、480 nm以下の波長の光を吸収して約 530 nmを中心に発光します。CCDに入射した紫外線は、 ルモゲンシンチレータにより可視光に変換され、この可 視光をCCDは検出します。

ルモゲンコート表面入射型CCDは、裏面入射型CCD に比べて紫外線に対する寿命が桁違いに短く、感度の 温度依存性が高いため注意が必要です。

(4) 紫外線による感度劣化を抑えた裏面入射型CCD

高照度の紫外線照射時には、感度劣化が問題となり ます。当社は、製造方法・センサ構造を工夫することに より、紫外線による感度劣化を抑えたCCDを開発しまし た。従来からの裏面入射型CCDに近い分光感度特性の タイプ (S10420-1106NU-01)、200 nm以下の波長域で 高感度を実現したタイプ (S10420-1106NW-01)を用意 しています。

#### [図2-5] 分光感度特性 (窓なし時,代表例)



2-3 窓材の選択

裏面入射型CCDは、最大感度波長の700 nm付近で 量子効率が90%以上になりますが、これは受光窓がない場合の値です。

CCDの量子効率は、使用する窓材によって影響されま す。当社のCCDの窓材としては、AR(反射防止)コート付 サファイア(Sタイプ)、石英(Qタイプ)、窓なし(Nタイプ) の3種が主に使われています。

サファイアは優れた強度をもち、石英に比べて傷つき にくく、高湿環境で安定しています。その上、熱伝導率が 金属に近いため結露しにくい、気密封止が可能など、窓 材として非常に優れています。ARコートされていないサ ファイアの透過率は高くありませんが、ARコートによって 可視域では石英よりも高い透過率が得られます。当社は、 S9971/S7031シリーズなど電子冷却素子を内蔵したCCD には、標準の窓材としてサファイアを採用しています。

石英には合成石英と溶融石英がありますが、CCDの 窓材としては金属不純物が少ない合成石英がよく使わ れます。石英は、ARコートなしでも可視域で約94%の透 過率があります。石英は、200 nm以下の波長まで透過 し、特に紫外域の検出時の窓材に適しています。しかし 石英を冷却型CCDの窓材として使用する場合、接着部 の樹脂の透湿性によるパッケージ内部の結露を考慮す る必要がありました。当社では新技術の採用によって、石 英窓の接着部に樹脂を用いないで気密封止を行うこと が可能になりました。

当然ながら、窓材を使用しないタイプにおいて量子効率は最も高くなります。特に160 nm以下の真空紫外域では、透過する適当な窓材がないため、窓材を使用しない場合があります。

その他の窓材としては、石英に比べて安価な硼珪酸ガ ラスがあります。硼珪酸ガラスは、300 nm付近で急激に 透過率が低下するため、主として可視域やそれ以上の 長波長を検出対象とします。X線検出用としては、X線を 透過して光を遮断するアルミニウムやベリリウムが窓材と して使用される場合があります(ベリリウムは有毒です)。

#### (Typ. Ta=25 °C) 100 90 80 石英 70 ARコートサファイア 60 % 秀過率 50 40 30 20 10 0 100 200 300 400 500 600 700 800 900 1000 1100 1200 波長 (nm) KMPDB01101A



[図2-6] 窓材の分光透過特性

感度不均一性は、CCDの画素ごとの感度のバラツキ を規定するもので、受光窓やプロセスのバラツキに起因 して発生します。なお、感度不均一性に伴うノイズは、信 号量に比例します。

均一光を有効受光領域に入射して50×50画素程度 の測定領域を設定することによって、露光量に対応し た入力信号量とノイズの関係をプロットするフォトントラ ンスファー曲線 [図2-7]が得られます。感度不均一性 (PRNU: Photoresponse Nonuniformity)は、式 (2-4)で定 義されます。

ここでのノイズは統計的な値であり、画素の信号の標 準偏差です。信号は、有効受光領域における各画素の 信号量の平均値です。信号量が少ない場合は、ショットノ イズ (「2-9 ノイズ」参照)の影響を受けてしまいますが、 十分な信号量の場合は、PRNUは一定の値になります。 当社のデータシートでは、飽和電荷量の50%のときの測 定値をPRNUとして示しています。標準的なFFT型CCD のPRNUは、約1% rmsまたは±3% typ. (peak to peak) です。



CCDの飽和電荷量は、ポテンシャルウェルによって転送できる信号電子数を示し、フルウェル (full well)とも呼ばれ、単位はe<sup>-</sup>で表されます。

CCDの飽和電荷量は、以下の4つによって決定されます。

- ・ 垂直シフトレジスタの飽和電荷量 (vertical full well)
- ・水平シフトレジスタの飽和電荷量 (horizontal full well)
- ・サミングウェルの飽和電荷量 (summing full well)
- ・出力部の飽和電荷量

2次元動作モードでは、各画素の信号電荷は分離し て出力されるため、飽和電荷量は垂直シフトレジスタで 決定されます。一方、水平シフトレジスタの飽和電荷量 は、ラインビニングを可能にするため、垂直シフトレジスタ の飽和電荷量より大きな値になるように設計されていま す。最終クロックゲートであるサミングゲートによって形成 されるサミングウェルの飽和電荷量は、水平シフトレジス タの信号を加算するため(ピクセルビニング)、水平シフ トレジスタの飽和電荷量よりも大きな値に設計されています。

出力信号の飽和電圧(Vsat)は式(2-5)で求められます。

 $Vsat = FW \times Sv \cdots (2-5)$ 

FW:飽和電荷量 Sv:変換係数



CCDの出力特性の直線性は、信号量によって理想的 な直線であるγ=1からわずかにずれます。この原因は出 力段に関係し、FDAを構成する逆バイアスされたPN接 合の容量変化や、MOSFETのトランスコンダクタンスの 変化によるものです。

直線性のズレを表す直線性誤差 (LR: Linearity Residual)は、式 (2-6)で定義されます。

LR = 
$$(1 - \frac{\text{Sm/Tm}}{\text{S/T}}) \times 100 \, [\%] \dots (2-6)$$

Sm: 飽和電荷量の半分のときの信号量
 Tm: 飽和電荷量の半分のときの露光時間
 S :信号
 T :露光時間

#### [図2-8] 直線性 (S9971-1007, 2次元動作, 代表例)



電荷転送効率

CCDは、理想的には電荷の転送過程における損失は ありません。しかし実際は、材料に起因するトラップやプ ロセス工程で発生するトラップにより電荷の転送が完全 にはいかず、ごくわずかの量は転送されずに残ってしま います。

電荷転送効率(CTE: Charge Transfer Efficiency) は、任意の1画素から隣接する画素へ転送される電荷の 割合で規定されます(2相CCDでは、1画素分の信号電 荷を転送するのにゲート単位では2回の転送が必要で すが、これを1回として規定しています)。

X線を用いると、電気的な方法によらないでCCDの画素 に理想的なポイント電荷を入力することができます。その ため、微小電荷の転送効率を測定するために有効な方 法です。

水平スタッキング (stacking)は、水平方向に対して各 ラインの信号を積み重ねることです。水平スタッキング を利用するとCCDの出力は、図2-9に示すようにX線のエ ネルギーに応じたシングルイベントライン (single event line)を描きます。理想的なCCDでは、CTE=1であるため、 Leading (先頭)とTrailing (最後尾)で信号の高さは同じ になります。実際のCTEは1より小さいため、Trailingでの 信号電荷は電荷転送損失を生じ、Leadingでの信号電荷 を1とすれば、電荷転送損失は式 (2-7)で表されます。

電荷転送損失 = n × CTI …… (2-7)

n: 画素数 CTI (Charge Transfer Inefficiency: 非転送効率) = 1 - CTE

当社の標準的なCCDは、CTE=0.99999 typ.です。



インターライン型のCCDでは受光部のフォトダイオー ドからシフトレジスタへの信号の転送が不完全であるた め、数%程度の残像が存在することがあります。一方で FFT型CCDのようにシフトレジスタ自身が受光する場合 では、トラップ(「3-9 放射線損傷」参照)による信号電荷 の捕獲と放出による残像が生じます。この残像は結果と してはCTEの劣化として観察されます。ここではラインビ ニングの場合を例にCTEによる残像について簡単に示 します。

ラインビニングでは、水平シフトレジスタの数の信号数 をもつ1ラインの信号が得られます。CTEが1(理想的) の場合には、1ラインの信号の後の読み出しにおいて信 号電荷はダークレベルと同じになりますが、CTEが1未満 の場合には転送数により表2-1に示すような信号電荷が 読み残されることになります。

#### [図2-10] ラインビニング時のCCDの残像



KMPDC0047JB

#### [表2-1] ラインビニング時の電荷転送効率と残像の割合

CTE	S9971-0906	S9971-0907
0.99995	0.0032	0.0064
0.99999	0.00064	0.00128
0.999995	0.00032	0.00064

### 2-8 暗電流

暗電流は、光入力のない状態における電流出力です。 単位としては、一般にA(アンペア)、A/cm<sup>2</sup>、V(ボルト) が用いられますが、計測用CCDでは単位時間に1画素当 たりで発生する電子数を示すe<sup>-</sup>/pixel/sやe<sup>-</sup>/pixel/hが 一般的に用いられます。温度が5~7°C上昇すると、暗 電流はほぼ倍になります。

CCDで暗電流が発生する主な原因は、以下の3点です。

- ① 空乏化していない領域での熱励起とその拡散
- ② 空乏層内での熱励起
- ③ 表面準位による熱励起

この中では③が最も支配的です。

MPP (Multi-Pinned Phase)動作は、暗電流を下げる ための動作で、反転動作とも呼ばれます。MPP動作は、 CCDの電極を構成するMOS構造のすべてのゲート下を 反転状態にすることにより実現できます。

MPP動作では、③の影響を抑制でき暗電流を大幅に 低減できます。

#### [図2-11] 暗電流-温度 (S9970/S9971シリーズ)



2相CCDでは、バリア相と信号電荷を蓄積する蓄積相 にイオン注入などにより電位差が設けられています。し たがって、すべてのゲートが同じ電圧になった場合でも、 2相CCDは電荷を蓄積するためのポテンシャルウェルを もつことができます。CCDのすべての相が反転状態にな るようにバイアスすることによって、MPP動作を実現でき ます。

暗電流を低減する必要がある場合には、このMPP動 作とCCDの冷却が非常に効果的です。

#### [図2-12] MPP動作時の電位分布図



図2-12で示すように、MPP動作時には蓄積相・バリア 相がともに反転状態にピンニング(pinning)されます。ピ ンニングされた状態では、CCD表面がチャンネル分離領 域から供給された正孔によって反転され、それ以上の電 圧を負側に印加しても酸化膜界面の電位は基板と同じ 電位に固定されます。

酸化膜界面が正孔によって反転された状態において は、熱励起電子の発生が極端に抑制されるため、暗電 流の少ない状態が実現できます。

#### [図2-13] 暗電流-ゲート電圧 (S9974-1007, 代表例)



KMPDB0212JB

MPP動作においては、ピンニング電圧(ピンニングされるときの電圧)を正確に印加することによって暗電流

を大幅に低減することができます。ピンニング電圧に満 たないと、正孔による反転層の形成が不十分なため、暗 電流が最小まで下がりません。一方、ピンニング電圧を 超えて大きく負の値をとると、余分なクロック振幅が必要 となるばかりでなく、スプリアスチャージ(「2-14 スプリア スチャージ」参照)という過剰電荷によって暗電流が増 加することがあります。データシートに記載されたゲート 電圧の付近で可変させて電圧を調整することによって、 暗電流を最小にすることができます。



CCDのノイズは、以下の4種類に分類されます。

(1) 固定パターンノイズ (Nf: fixed pattern noise)

CCDの画素間の感度のバラツキによるノイズです(画 素間の感度のバラツキは、開口面積や膜厚のバラツキに よって発生します)。固定パターンノイズは、信号量が大 きい場合、露光量(信号電子量)に比例します。なお、1 画素のノイズについて考える場合は、Nf=0になります。

(2) ショットノイズ (Ns: shot noise)

CCDに入射するフォトン数の統計的な変化により発生 するノイズです。ショットノイズは、ポアソン統計に従い式 (2-8)で表されます。

Ns =  $\sqrt{S}$  ..... (2-8)

S: 信号電子数 [e<sup>-</sup>]

たとえば、フォトンの入射によりCCD内で信号電子量が 10000 e-発生する場合には、ショットノイズは100 e- rms です。

(3) ダークショットノイズ (Nd: dark shot noise)

ダークショットノイズは、暗電流によって発生するノイズ で、暗電子数の平方根に比例します。ダークショットノイ ズを低減するためには、暗電流そのものを低減する必要 があります。なお、画素間の暗電流のバラッキは、感度 のバラッキよりも大きくなっています。

(4) 読み出しノイズ (Nread: readout noise)

CCDの出力部のアンプを構成するMOSFETに起因す る熱雑音と読み出し回路に起因する電気的なノイズで、 最終的にCCDの検出限界を制限します。このノイズは、 CCDの出力方式によって決まり、露光量の影響は受けま せん。また読み出しノイズは、周波数依存性をもちます [図2-18]。

トータルノイズ (Nt)は、式 (2-9)で表されます。

 $Nt = \sqrt{Nf^2 + Ns^2 + Nd^2 + Nr^2}$  ...... (2-9)

図2-14は、これらの4種類のノイズと露光量の関係を 示しています。CCDの検出限界は、ダークショットノイズと 読み出しノイズによって決まります。暗電流を下げてダー クショットノイズを読み出しノイズ以下に下げることで、 CCDの検出限界を読み出しノイズまで下げることができ ます。

S/Nは、露光量が大きい場合では主として固定パター ンノイズによって決まり、露光量が小さい場合はショットノ イズによって決まります。

#### [図2-14] ノイズ-露光量



# 2-10 ダイナミックレンジ

ダイナミックレンジは、一般に検出器の測定可能範囲 を規定するもので、最大レベルと最小レベル(検出限 界)の比で定義されます。

CCDのダイナミックレンジは、飽和電荷量を読み出しノ イズで割った値です。

ダイナミックレンジは、式 (2-11)でも表されます。

動作温度や蓄積時間などの動作条件によってダイナ ミックレンジは変わってきます。室温付近ではダークショット ノイズが検出限界を決定しますが、ダークショットノイズが 無視できるような動作条件(十分に冷却した状態)では、 読み出しノイズによってダイナミックレンジが決まります。

2次元動作では、垂直シフトレジスタが転送できる電荷 量が飽和電荷量になります。ラインビニングでは、水平シフ トレジスタの転送できる電荷量が飽和電荷量になります。

#### [表2-2] CCDの仕様例

項目	S9736シリーズ	S7170-0909
タイプ	表面入射型	裏面入射型
画素数	512 :	× 512
 画素サイズ [µm]	2	4
飽和電荷量 (垂直) [ke⁻]	300	320
変換係数 [µV/e⁻]	3.5	2.2
読み出しノイズ [e <sup>-</sup> rms]	4	8
ダイナミックレンジ	75000	40000
暗電流 (0 ℃) [e⁻/pixel/s]	1	0

### 2-11 解像度

イメージセンサが、ある画像内の空間的な周波数のコ ントラストを再現する性能は空間解像力と呼ばれ、サイ ン波に対するMTF (Modulation Transfer Function)で 定量化されます。CCDの画素は分離しているため、離散 サンプリング定理によりナイキスト (Nyquist)限界によっ て決定される限界解像度があります。たとえば、入力が 白黒のパターンの場合に、パターンが細かくなるに従っ て、信号の白レベルと黒レベルの差が小さくなって、最終 的には解像できなくなります。CCDの理想的なMTFは式 (2-12)で表されます。

MTF = sinc {( $\pi \times f$ )/(2 × fn)} ..... (2-12)

f:画像の空間周波数 fn:空間ナイキスト周波数

光学的なサイン波を実現することは難しいため、一般に は矩形波のパターンをもったテストチャートが代用されま す。この場合の空間周波数特性は、コントラスト伝達関 数 (CTF: Contrast Transfer Function)と呼ばれ、MTFと は異なります (CTFはフーリエ変換によりMTFに変換で きます)。

実際のCCDの解像度は、Si内で電荷が収集されるとき に起きる拡散によって決まります。入射フォトンが空乏層 内で吸収されることによって、発生した電子は広がること なくその画素に収集され、解像度の劣化は起きません。解 像度は入射フォトンが吸収される深さによっても変わり、 入射フォトンの波長が長いほど深く吸収されて解像度は 劣化します。

#### [図2-15] MTF-空間周波数 (S9970/S9971シリーズ,計算値)



KMPDB0206JA

#### [図2-16] CTFの計算方法



### 2 - 12 点像分布関数 (point spread function)

空乏層内における電荷の広がりの標準偏差 (σD)は、 式 (2-13)で定義されます。σDは、Siの空乏層厚さと絶対 温度の平方根に比例し、裏面に印加するバイアス電圧 の平方根に逆比例します。

$$\sigma D = \sqrt{\frac{2 \times X dep^2 \times k T}{Vbb \times q}} \cdots \cdots (2-13)$$

 Xdep: 空乏層の厚さ

 k
 :ボルツマン定数

 T
 :絶対温度

 Vbb
 :裏面に印加するバイアス電圧

 q
 :1電子当たりの電荷量



### 2-13 ノイズの周波数特性

暗電流やスプリアスチャージ (spurious charge)が十 分に小さい状態では、読み出しノイズがCCDの最終的な ノイズ電子数を決定します。読み出しノイズは、読み出し 部のFDAを構成するMOSFETの熱雑音によって決まり ます。MOSFETの熱雑音には、ホワイトノイズと1/fノイズ があり、低ノイズを実現するためにはホワイトノイズと1/f ノイズの両方を低減する必要があります。ホワイトノイズ は、MOSFETの相互コンダクタンス (gm)を増加させるこ とによって低減できます。計測用CCDに内蔵されている MOSFETの1/fノイズのコーナ周波数は、数kHz程度と低 くなっています。

また、MOSFETの熱雑音は、バイアス条件に大きく影響を受けます。当社のデータシートに掲載されている読み出しノイズを実現するためには、推奨動作条件に従っ てバイアスすることが必要です。しかし、上記のバイアス 条件に設定した場合でも、CCDの読み出しノイズは、信 号処理回路によって大きく影響されます。CCDの信号処 理には一般にCDS回路が使われ、CDS回路とその前段 に設けたLPF (Low-Pass Filter)の伝達関数を最適化 することが、CCDの読み出しノイズの低減につながりま す。CCDの読み出し周波数に対して1/fノイズのコーナ 周波数の影響を低減できれば、信号処理回路を含めた CCDシステムの出力ノイズは、ホワイトノイズとノイズ帯域 幅で決まることになります。

以上によりCCDの読み出しノイズは、読み出し周波数 に依存し、計測レベルで必要とされる数e<sup>-</sup>rmsレベルの 読み出しノイズが達成できるのは、読み出し周波数が低 い場合(100 kHz以下)になります。読み出し周波数が高 くなると、読み出しノイズは急激に増加します。

#### [図2-18] 読み出しノイズ-読み出し周波数 (S9737-01, 代表例)



2-14 スプリアスチャージ

スプリアスチャージは、MPP動作時などにクロックパル スによって発生する電荷で、入射光による信号以外の電 荷です。MPP動作時には、垂直クロックパルスがLowレ ベルにセットされ、この期間は各画素のゲート下は反転 状態になっています。この状態では、チャンネルストップ 領域から正孔がゲート下に移動して、その領域の表面 電位は基板の電位にピン(pin)されています。このとき に、正孔のうちのいくらかは酸化膜界面に沿ってトラップ され、クロックパルスがHighレベルとなるときに各画素の ゲート相は非反転状態になります。トラップされた正孔 は、放出された後に高いエネルギーをもち、これによりス プリアスチャージが発生しポテンシャルウェルに集めら れます。CCDの出力は、信号と暗電流とスプリアスチャー ジが加算された値となります。

スプリアスチャージは、クロックパルスの立ち上がりを 遅くしたり、クロックパルスのHighレベルとLowレベルの 電位差を小さくすることによって改善できます。CCDが十 分低い温度まで冷却され、読み出しノイズレベルに近い 信号量になる場合には、スプリアスチャージを考慮したク ロッキングが重要になります。

19





2-15 アンチブルーミング

受光面に強い光が入り信号電荷が特定量を超えた 場合に、余剰電荷が隣接した画素や転送領域にあふれ 出る現象がブルーミング(オーバーフロー)です。ドレイ ンを設けて余剰電荷を捨てることによりブルーミングを 防止することをアンチブルーミングといいます。

CCDのアンチブルーミング構造には大きく分けて横型 と縦型があり、当社のCCDでは横型を採用しています。 横型は、画素もしくは電荷転送路の脇にドレインを設け た構造で、表面入射型CCDでは開口率が小さくなる欠 点があります。一方、裏面入射型CCDでは、この欠点を 回避することができます。縦型は、余剰電荷を基板内部 に捨てる構造で、開口率は小さくなりませんが長波長の 感度が低下する欠点があります。

なお、オーバーフロードレイン電圧(VoFD)とオーバー フローゲート電圧(VoFG)によりアンチブルーミング機能 を制御する場合、印加電圧により飽和電荷量が低下す ることがあるため注意が必要です。









#### [図2-22] 撮像例

(a) アンチブルーミングなし (b) アンチブルーミングあり



#### ◆ CCDリニアイメージセンサのアンチブルーミング機能

CCDリニアイメージセンサでは、ストレージゲートの近く にアンチブルーミングドレインとアンチブルーミングゲー トが形成されています。アンチブルーミングドレインとア ンチブルーミングゲートに適切な電圧を印加することで アンチブルーミング機能を使うことができます。アンチブ ルーミングゲート電圧によって、飽和出力電圧を制御しま す。また、アンチブルーミングゲート電圧を高くすることで、 フォトダイオードで発生した信号電荷をすべてアンチブ ルーミングドレインに掃き出し、出力をゼロにすることも可 能です。この機能を使って、後述の電子シャッタを機能さ せることができます。



### 2-16 電子シャッタ

CCDリニアイメージセンサの蓄積時間は、通常はトラ ンスファーゲートの2つのクロックパルスの間隔になりま す。電子シャッタ機能を使うことで、トランスファーゲート のクロックの間隔よりも短い有効蓄積時間に設定するこ とが可能です。アンチブルーミングゲートの電圧を高く すると、フォトダイオードで発生した信号電荷はすべてア ンチブルーミングドレインに捨てられます。トランスファー ゲートのクロックの間にアンチブルーミングゲートの電圧 を高くする期間と低くする期間を設けることで、通常の蓄 積時間よりも短い有効蓄積時間を実現できます。また、 蓄積時間の開始タイミングを外部トリガパルスと同期さ せることができます。

#### [図2-24] CCDリニアイメージセンサのタイミングチャート (電子シャッタ機能)





2-17 エタロニング

エタロニングは、入射した光がCCDの表面と裏面で反 射と減衰を繰り返す間に、干渉により感度に強弱が現れ る現象です。一般にエタロニングとは2面の高反射フィル タを向き合わせて配置した光学素子のことを指します が、CCD内部でも入射した光が不完全な反射・透過・吸 収を繰り返し、エタロニングのような振る舞いをするため、 このように呼ばれます。裏面入射型CCDの場合、Siの厚 さと吸収長との関係から、入射光が長波長の場合、エタ ロニングが発生します [図2-26]。当社では、独自に開発 した技術でエタロニングを低減した裏面入射型CCDを 製品化しました。なお、エタロニングは裏面入射型CCDに 特有の現象であり、表面入射型CCDではみられません。

#### [図2-26] エタロニング特性 (代表例)



KMPDB0284JB

2 - 18 コスメティックス

コスメティックスは、CCDの欠陥(汚れ、傷)のレベルを 示すものです。汚れや傷は、暗状態で明るく見える白キ ズ (white spot)と入射光のある状態で暗く見える黒キズ (black spot)の2種類に分類できます。

白キズの発生する原因としては、材料の格子欠陥、材料に含まれる金属不純物、機械的損傷やプロセス中の 埃に起因するパターン不良などがあります。黒キズは、プ ロセス中のCCD表面への埃や表面の絶縁膜の部分的 欠陥による反射の違い、素子の表面や窓材における埃 などの汚れによるものです。白キズ・黒キズをゼロに保つ ことは難しく、面積が大きく画素サイズが小さいCCDほど キズの影響は顕著になります。

当社は、白キズと黒キズの仕様を定めて、すべての CCDに対して、その量を検査しています。

コスメティックスの定義を以下に示します。メーカーに よって定義に差がありますので、比較する場合には注意 が必要です。

(1) ポイント欠陥 (point defect)

🗖 白キズ

冷却温度 0°Cで1秒間蓄積したときに、飽和電荷量 の3%を超える暗電流が発生する画素を白キズとして定 義しています。

#### ⊿ 黒キズ

飽和電荷量の50~90%になるように、CCDに均一光 を入射します。このときの各画素の出力の平均値を算出 し、平均値の50%以下の出力の画素を黒キズとします。 当社は、通常、飽和電荷量の50%になるような均一光で 検査をしています。

#### (2) クラスタ欠陥 (cluster defect)

連続した画素欠陥で2~9個の固まりをクラスタ欠陥 と呼び、ポイント欠陥と区別します。クラスタ欠陥は、縦 方向にみられる場合が多いですが、裏面入射型CCDや FOS (Fiber Optic plate with Scintillator)がカップリン グされた表面入射型CCDの黒キズに起因するクラスタ 欠陥は、2次元的な固まりとしてみられます。

#### (3) コラム欠陥 (column defect)

連続した画素欠陥で10個以上の固まり(クラスタ欠陥 よりも大きいもの)をコラム欠陥と呼び、クラスタ欠陥とは 区別します。コラム欠陥も縦方向にみられる場合が多い ですが、裏面入射型CCDやFOSがカップリングされた表 面入射型CCDの黒キズに起因するコラム欠陥は、クラス タ欠陥と同様に2次元的な固まりとしてみられます。 S9970/S9971シリーズのように受光面積の小さな表 面入射型CCDは、ポイント欠陥・クラスタ欠陥・コラム欠 陥はゼロになっています。FOP (Fiber Optic Plate)や FOSをカップリングしたCCDでは、CCD以外の要因で欠 陥が発生するため、欠陥の形状や数はCCDのみの場合 とは異なります。

### 2 - 19 宇宙線によるCCDへの影響

CCDに宇宙線が入射した場合、図2-27のように宇宙線 が検出される場合があります。宇宙線は、ある程度の割 合で地表に降り注いでいます。主なものはµ粒子(〜数 GeV)で、CCDのSi内部で飛跡に沿って信号電荷を発生 させます[図2-28]。標準タイプ裏面入射型CCDの場合は Siが薄いため、宇宙線による偽信号が現れるのは多くても 数画素程度ですが、完全空乏化タイプ裏面入射型CCD では、多数の画素で偽信号が現れる場合があります。

宇宙線が検出される頻度は、センサ構造や環境によっ て異なりますが、おおよその目安として150個/(cm<sup>2</sup>・h) 程度です。なお、地表から離れるほど、宇宙線の量は増 えることが知られています。

宇宙線によって一時的に偽信号が発生する場合は、 複数回の画像を取得して平均化したり、蓄積時間を短く することによって、その影響を低減できます。

宇宙線は、Si原子との相互作用により格子欠陥を発生 させる場合があり、白キズや電荷トラップの原因となりま す。あらかじめ白キズに対する補正機能を装置に加える ことを推奨します。

#### [図2-27] 完全空乏化タイプ裏面入射型CCDにおける 宇宙線による擬似信号発生画像例



#### [図2-28] 宇宙線が入射したCCD (裏面入射型)の断面図 (a) 標準タイプ





#### (b) 完全空乏化タイプ



KMPDC04131A

KMPDC04123A

# 3. 使い方

# 3-1 タイミング

CCDを動作させるためには、垂直シフトレジスタ用2相 クロックパルス (P1V, P2V)、トランスファーゲートパル ス (TG)、水平シフトレジスタ用2相クロックパルス (P1H, P2H)、サミングゲートパルス (SG)、リセットパルス (RG) の7つの信号が必要になります。TGは、最終のP2V電極 を分割したもので、P2Vと同じタイミングで別端子として クロックパルスを入れることを推奨しますが、P2V端子と 短絡させることによっても動作します。CCDの動作に必 要なパルスのタイミングチャートについてはデータシート を参照してください。

FFT型CCDには、ラインビニング・2次元動作・ピクセル ビニング・TDI動作という4つの動作モードがあります。こ れらの動作モードは、各動作のタイミングを調整すること で、簡単に選択することができます。

#### (1) ラインビニング

最初に、ビニングしたいビット数だけ垂直方向を転送 します。これによって、対応する水平レジスタに電荷が加 算されます。その後、水平方向をすべて転送します。サミ ングゲートパルスは、水平シフトレジスタ用クロックパル ス (P2H)とまったく同じパルスにします。

#### (2) 2次元動作 (エリアスキャン)

垂直方向に1ビット転送するごとに、水平方向をすべ て転送します。垂直方向がすべて転送し終わったとき、 フレームの転送が終了することになります。このとき、サミ ングゲートパルスは、水平シフトレジスタ用クロックパル ス (P2H)とまったく同じパルスにします。

#### (3) ピクセルビニング

最初に、垂直方向は1ビットの転送をします。その後、 水平方向をすべて転送しますが、このときサミングゲー トパルスをサミングするビット数だけパルスを止めると、 サミングウェルに電荷が加算されます。

注) ラインビニングとピクセルビニングは、同時に動作させることもできます。

#### (4) TDI動作

「1-11 TDI-CCD」で説明したように、TDI動作によって 移動する物体の画像化が可能になります。そのためには、 被写体の受光面上での移動速度とCCDの垂直転送ク ロックパルスを同期させる必要があります。

#### [図3-1] ラインビニングのタイミングチャート



KMPDC0050JB

	項目		記号	Min.	Тур.	Max.	単位
		S703*-0906		1.5	2	-	
D1/ D2// TC*1	パルス幅	S703*-0907/-1006	Tpwv	3	4	-	μs
FIV, FZV, IG ·		S703*-1007		6	8	-	1
	上昇/下降時間		Tprv, Tpfv	10	-	-	ns
	パルス幅		Tpwh	500	2000	-	ns
P1H, P2H*1	上昇/下降時間		Tprh, Tpfh	10	-	-	ns
	デューティ比		-	-	50	-	%
	パルス幅		Tpws	500	2000	-	ns
SG	上昇/下降時間		Tprs, Tpfs	10	-	-	ns
	デューティ比		-	-	50	-	%
DC	パルス幅		Tpwr	100	-	-	ns
NG	上昇/下降時間		Tprr, Tpfr	5	-	-	ns
TG-P1H	オーバーラ	ップ時間	Tovr	3	-	-	μs

\*1: 最大パルス振幅の50%のところに対称クロックパルスをオーバーラップさせてください。

#### [図3-2] 2次元動作のタイミングチャート

### (a) 低暗電流モード



KMPDC0049JB

#### (b) 大飽和電荷量モード



KMPDC001451A

	項目	センサ	記号	Min.	Тур.	Max.	単位
	パルス幅* <sup>2</sup>	S7171-0909-01	Tpwv	6	8	-	μs
FIV, FZV, IG	上昇/下降時間		Tprv, Tpfv	200	-	-	ns
	パルス幅*2		Tpwh	500	2000	-	ns
P1H, P2H	上昇/下降時間	全シリーズ	Tprh, Tpfh	10	-	-	ns
	デューティ比		-	40	50	60	%
	パルス幅		Tpws	500	2000	-	ns
SG	上昇/下降時間		Tprs, Tpfs	10	-	-	ns
	デューティ比		-	40	50	60	%
PC	パルス幅		Tpwr	100	-	-	ns
NG	上昇/下降時間		Tprr, Tpfr	5	-	-	ns
TG-P1H	オーバーラップ時間		Tovr	3	-	-	μs

\*2: 最大パルス振幅の50%のところに対称クロックパルスをオーバーラップさせてください。

#### [図3-3] ピクセルビニング(2 × 2)のタイミングチャート

#### (a) 低暗電流モード



KMPDC0051JB





KMPDC0146JA

項目			記号	Min.	Тур.	Max.	単位
		S703*-0906		1.5	2	-	
D11/ D21/ TC*3	パルス幅	S703*-0907/-1006	Трwv	3	4	-	μs
PTV, P2V, TG*3		S703*-1007		6	8	-	
	上昇/下降時間		Tprv, Tpfv	10	-	-	ns
	パルス幅		Tpwh	500	2000	-	ns
P1H, P2H* <sup>3</sup>	上昇/下降時間		Tprh, Tpfh	10	-	-	ns
	デューティ比		-	-	50	-	%
	パルス幅	パルス幅		500	2000	-	ns
SG	上昇/下降時間		Tprs, Tpfs	10	-	-	ns
	デューティ比		-	-	50	-	%
	パルス幅	パルス幅		100	-	-	ns
KG	上昇/下降時間		Tprr, Tpfr	5	-	-	ns
TG-P1H	オーバーラ	ップ時間	Tovr	3	-	-	μs

[図3-4] TDI動作のタイミングチャート

(a) 1 × 1



KMPDC0147JA

注) 低暗電流モードでのタイミングチャートは、図3-2 (a)のP1V、P2V、TGを参考にしてください。



KMPDC0148JA

注) 低暗電流モードでのタイミングチャートは、図3-3 (a)のP1V、P2V、TGを参考にしてください。

項目		センサ	記号	Min.	Тур.	Max.	単位
P1AV, P1BV	パルス幅		tpwv	30	-	-	μs
P2AV, P2BV, TG*4 *5	上昇/下降時間	]	tprv, tpfv	200	-	-	ns
	パルス幅	1	tpwh	125	-	-	ns
PIAH, PIBH P2AH P2RH*5	上昇/下降時間	]	tprh, tpfh	10	-	-	ns
	デューティ比	]	-	-	50	-	%
	パルス幅	S7199-01	tpws	125	-	-	ns
SG	上昇/下降時間	]	tprs, tpfs	10	-	-	ns
	デューティ比	]	-	-	50	-	%
PC	パルス幅	]	tpwr	10	-	-	ns
NG	上昇/下降時間		tprr, tpfr	5	-	-	ns
TG-P1AH, P1BH	オーバーラップ時間		tovr	10	-	-	μs

-\*4: TGにP2AVと同じパルスを入力してください。 \*5: 最大パルス振幅の50%のところに対称クロックパルスをオーバーラップさせてください。

# 3-2 クロックパルス、DCバイアスの調整

CCDの性能を最大限に利用するためには、クロックパ ルスやDCバイアスを調整する必要があります。

#### (1) 転送クロックパルス

垂直シフトレジスタのクロック電圧のLowレベルは、 CCDの暗電流に影響し、MPP動作になるピンニング電圧 より高い電圧に設定した場合には、期待したほどには暗 電流が下がらなくなります。ピンニング電圧は、製造時の バラツキなどにより個々のCCDで異なるため、理想的に は製品ごとに調整する必要があります。

垂直のクロック電圧のLowレベルを決定した後に、 Highレベルを調整します。飽和電荷量を確保するため には、クロックパルスの振幅をある程度大きくする必要が あります。ただしクロックパルスの振幅が大きすぎると、ス プリアスチャージが大きくなってしまい、読み出し時間中 の暗電流 (Nb)が大きくなり、結果として出力信号全体に わたるオフセットの形で現れます。通常スプリアスチャー ジは、室温付近では暗電流とは区別できませんが、CCD を冷却した状態においては問題になることがあります。 したがって垂直クロックパルスの振幅は、他の特性に対 して問題ない範囲で最小になるように調整する必要が あります。

#### (2) リセットクロックパルス

リセットクロックパルスは、リセットゲート(RG)に加えるク ロックパルスで、FD(Floating Diffusion)に流れ込んだ信 号電荷を定期的にリファレンス電圧(VRD)にリセットしま す。クロックパルスのLowレベル・Highレベルの調整によっ て、出力部の飽和電荷量が変化します。出力部の飽和電 荷量は、適切に調整された状態では、CCDの飽和電荷量 よりは十分に大きくなります。リセットクロックパルスのLow レベルの電圧が高くなると、リセットスイッチがオフになっ た状態での電位が十分に下がっていないためFDに蓄積 できる電荷量が減少し、転送電荷のすべてを電圧に変換 する前にオーバーフローしてしまうことがあります。このた め、リセットクロックパルスのLowレベルは、出力部の飽和 電荷量に影響しないように十分に低い電圧に設定するこ とが必要です。

リセットクロックパルスのパルス幅は、10 ns~100 ns 程度に設定してください(100 nsよりも長くても問題は 生じません)。

#### (3) 転送クロックパルス生成回路

転送クロックパルス生成回路の例を図3-5に示します。 前述の通りCCDを動作させるためには、HighレベルとLow レベルの電圧振幅をもつクロックパルスが必要です。この クロックパルスは数百pF~数nFの入力容量をもつ垂直 シフトレジスタや水平シフトレジスタを高速で動作させな ければなりません。このため、一般にCCDを駆動する場合 は、容量性負荷を高速で駆動できるMOSドライバが使用 されます。

通常、タイミング信号発生回路には、TTLもしくは CMOSロジックレベルのICを使用します。これらの動作 電圧は、+3.3 Vもしくは+5.0 Vであるため、MOSドライバ にはレベル変換回路を接続する必要があります。

2相CCDの場合では、垂直シフトレジスタや水平シフト レジスタを駆動するクロックパルスはオーバーラップが 必要です(「1-2 電荷転送動作」参照)。このため、MOS ドライバICとCCDの間には適当な値の抵抗 Rd(ダンピ ング抵抗:数Ω~数十Ω)を挿入し、クロックパルスの上 昇時間と下降時間を調整します。

デジタル系回路からのCCDへのノイズ混入をできるだけ減らすため、アナログ系グランドとデジタル系グランドは転送クロックパルス生成回路で同電位とすることを推奨します。



#### [図3-5] 転送クロックパルス生成回路の例

VDD: クロックパルスHighレベル電圧 VEE: クロックパルスLOWレベル電圧 Rd: ダンピング抵抗 (数Ω〜数十Ω)

KMPDC0052JB

#### [図3-6] CCD出力部の電位



#### (4) DCバイアス

💈 ODに加えるバイアス (Voo)

Vonは、出力トランジスタに加えるバイアスです。1段

ソースフォロワ出力形式のアンプでは、Vonとして約 20 Vを印加してください。ソースフォロワ回路において MOSFETのソースに接続した20 kΩ程度の負荷抵抗で は、ソースのDCレベルは15 V程度になっています。した がって、ODに加える電圧によりMOSFETのソースドレイ ン間には数V程度の電圧が加わりますが、この電圧が十 分に高くないと次の現象が発生します。

ソースフォロワ回路の電圧ゲイン (Av)が低くなる。
 MOSFETが飽和領域で動作しない。

これらの現象によって、CCDの変換係数(単位: μV/e<sup>-</sup>) の低下や読み出しノイズの増加、直線性の悪化など、性能 に悪影響があります。

2段ソースフォロワ出力形式などの多段のアンプでは、 Vonは約+15 Vで1段の場合に比べて低くします。なお、2 段ソースフォロワ出力形式の場合も、1段と同様に①②の 現象が発生します。

RDに加えるバイアス (VRD)

VRDはリセットドレインに加えるバイアスで、出力部の リセットレベルを決めるとともに、出力トランジスタのゲー トの電圧になります。VRDは、VODと同様に電圧ゲインや MOSFETの動作領域を決定し、出力部の飽和電荷量に 影響します。VRDを大きくするとFDの電位も大きくでき信 号量としては増加しますが、出力トランジスタで①②の現 象が発生することを考慮して最適な値にする必要があり ます。

OGに加えるバイアス (Vog)

Vocは、水平シフトレジスタの最終部に配置されたFD と最終のクロッキングゲート(サミングゲート)を分離する ためのOGに加えるバイアスです。信号電荷は、最終のク ロッキングゲートであるサミングゲートパルス(SG)のLow レベルへの立ち下がりに同期してFDに出力されます。し たがってOGの電位は、SGがLowレベルになったときの電 位よりも小さくなり、OGの電位とリセット時の電位差が取 り扱い可能な信号電荷量を決める要因になります。図3-6 からも明らかなように、信号電荷量は、OG下の電位とリ セットゲートのLowレベル時の電位のいずれかで制限さ れます。Vogが低いほど、出力部の飽和電荷量は大きくな りますが、低すぎる場合にはSGのLowレベル時に信号電 荷がFDに流入できなくなるため、Vogは適切な値に調整 する必要があります。

▲ バイアス電圧発生回路

バイアス電圧は、主にCCDの出力アンプ周辺部に印 加されます。したがって、電源は比較的ノイズの少ない安 定したものを使用してください。また、電圧精度・電圧変 動・リップル・出力電流などに注意することも重要です。

図3-7にOD端子のバイアス電圧発生回路の例を示しま

す。基準電圧は電源ICより生成し、ローパスフィルタを構 成する増幅器で所定の電圧値にしています。これにより、 低ノイズで高安定・高精度の電圧が得られます。

#### [図3-7] バイアス電圧発生回路の例



### 3-3 信号処理回路

CCDのノイズの主な要因には、一般的によく知られているkT/Cノイズと1/fノイズがあります。kT/Cノイズは、 FDA(「1-3 FDA」参照)における電荷放電(リセット動作)によって生じます。このノイズはFDAのノード容量(Cfd)の平方根に反比例し、CCDの全ノイズに対して大きな比率を占めます。また、1/fノイズはFDAを構成する MOSFETで発生するノイズで、周波数に反比例します。

これらのノイズはCCDシステムのS/Nを悪化させるため、信号処理回路においてできる限り減らすように工夫する必要があります。その代表的な回路がCDS回路です。

CDS回路の動作原理について説明します。図3-8は CCDの出力波形を示しています。前述の通りFDAにおけ るリセット期間中にkT/Cノイズが発生します。このため、 リセット期間が終了した時点の電圧レベルはkT/Cノイズ によって変動します。したがって、時間 T2においてデー タを取得した場合、kT/Cノイズの変動分がS/Nを悪化さ せます。これに対して、出力波形の時間 T1と時間 T2で データを取得し、その差を取ることでkT/Cノイズが除去 された信号分 ΔVのみを取り出すことができます。このと き、オフセット電圧分や、リセットフィードスルーなどのDC 成分も同時に取り除かれます。

#### [図3-8] CCDの出力波形



CDS回路には「①クランプ回路とサンプル&ホールド アンプ(以下、SHA)を組み合わせた方式」と、「②SHAと 差動アンプを組み合わせた方式」があります。①の方式 [図3-9]は、非常に単純な回路構成ですが、クランプ回 路に使用するスイッチのオン抵抗が大きい場合、除去さ れるノイズ量が少なくなったり、DC電圧誤差を生じたりし ます。なお、オン抵抗は0Ωであることが理想的です。

#### [図3-9] CDS回路 (クランプ回路とSHAを組み合わせた 方式)のブロック図



②の方式 [図3-10]は、部品点数が多くなりますが、① の方式に比べてノイズの除去効果は高くなります。しかし、 SHA出力をアナログ的に演算するため、SHA自体のもつノ イズが加算され、ノイズが多くなる場合があります。SHAの ノイズはkT/Cノイズが無視できる程度に小さい必要があ ります。

#### [図3-10] CDS回路 (SHAと差動アンプを組み合わせた 方式)のブロック図



図3-11に①の方式を採用した回路例を示します。

プリアンプではCCDの出力を十分に増幅するためゲ インを高くします。CCDの出力にはDC電圧成分を含んで いるため、コンデンサでAC結合します。しかし、プリアン プのバイアス電流が大きい場合、このコンデンサによっ て大きなDC電圧誤差を生じます。したがってバイアス電 流の小さなアンプを選択する必要があります。一般的に はJFETもしくはCMOS入力型アンプを使用します。また CCDの出力波形を増幅できる十分な帯域をもった低ノイ ズのアンプを選択する必要があります。

クランプ回路はコンデンサとアナログスイッチにて構成します。アナログスイッチについては、低オン抵抗で チャージインジェクション量の小さな高速タイプを推奨します。 最終段のアンプは、プリアンプと同様にコンデンサによ るAC結合となるため、JFETまたはCMOS入力型を選択 します。また、入力インピーダンスが高くなるように非反転 増幅器を構成します。

ところで、CCDの出力は負極性であり、アナログーデジ タル変換を容易にするために最終段アンプの出力を正 極性とします。このため、プリアンプの後段に反転増幅器 を接続します。

### 3-4 高速信号処理回路

数MHz以上の読み出し速度が必要とされるCCDの信 号処理回路において、ディスクリート部品だけで構成さ れた回路ではクランプの高速動作やコンデンサへの速 い充放電特性を実現することは困難です。

CCDの信号処理に最適化されたアナログフロントエン ドIC (CDS/ゲイン/オフセット回路、A/D変換器などを 1チップで構成したIC)を使用することで高速信号処理 回路を構成できます。

# 3-5 出力回路における発光の対策

2段MOSFETソースフォロワを採用しているCCDの出 力回路において、動作条件が適切でない場合、アンプが 発光することがあります。この発光をレジスティブゲート やストレージゲート、水平シフトレジスタで受光すると、暗 状態においても読み始めの画素で出力が大きくなる現 象が発生します[図3-14]。

この影響を減らすためには以下の対策が有効です。

- Vret端子に+1 V typ.の電圧を印加する(Vret端子 がある場合)。
- 水平シフトレジスタクロックパルス (P1H, P2H)を振幅 の50% ± 10%で交差させる [図3-15]。
  - ・水平2相駆動の場合: P1H, P2H
  - ・水平4相駆動の場合: P1H, P3HおよびP2H, P4H
- ③全画素の読み出し後、TGがHighレベルになる直前ま で水平方向の空読み出しを行う。

#### [図3-11] CDS回路例



KMPDC0053JD

#### [図3-12] 高速信号処理回路例 (S11155/S11156-2048-01とアナログフロントエンドICを使用)



KMPDC0457JB

#### [図3-13] タイミングチャート (S11155-2048-01)



\* 空読み出し期間中は所定の端子にクロックパルスを印加してください。 蓄積時間に応じて、全クロックパルス数 Nを設定してください。

KMPDC0382JB

31





比較的長い蓄積をする場合には、水平シフトレジスタ で発生する電荷を捨てるために、全画素の読み出し後に トランスファーゲートへの転送を開始する直前まで空読 み出しを行います。この方法は、蓄積時間中に水平シフ トレジスタで発生する電荷を捨てる場合にも有効です。

3-6 チップ温度

図3-16は当社製評価回路を用いてS11155-2048-01を動 作させたときのチップ温度と動作時間の関係を示した測定 例です(回路系は密閉されており、放熱対策が施されてい ない状態)。高速動作させた場合は、チップ温度の上昇が顕 著になります。チップ温度の上昇は暗電流の増加を招くた め、放熱器の取り付けや送風などの放熱対策を行うことを 推奨します。



一般にイメージセンサには、画素間においてフォトン (光子)に対する感度の不均一性 (PRNU)と、設定した 動作条件における暗電流の不均一性 (DCNU: Dark Current Nonuniformity)があります。高精度のデータを 収集するためには、少なくともこれらの2つの不均一性を 補正する必要があります。不均一性は温度によって値が 変わります。そのため、温度を考慮に入れた上で補正す る必要があります。

#### (1) 暗電流の補正

暗電流は画素によって異なるため、高精度に補正する ためには画素単位で考える必要があります。光の入射が ないときのCCDの暗電流(Nt)は式(3-1)で表されます。

 $Nt(x, y, t, T) = Nd(x, y, T) \times t + Nb(x, y, T) \cdots (3-1)$ 

x : 水平方向のアドレス
 y : 垂直方向のアドレス
 t : 蓄積時間
 T : CCDの温度
 Nd(x, y, T): 各画素の暗電流 [e'/pixel/s]
 Nb(x, y, T): 蓄積時間ゼロのときの暗電流

蓄積時間がゼロのときの暗電流 Nb(x, y, T)は、オフ セットやバイアスとも呼ばれます。この値は、動作条件に よって変わります。当社のデータシートに記載された暗 電流値は、Nd(x, y, T)をある領域で平均した暗電流で あり、実際にCCDから出力される暗電流とは異なります。 補正のためには、NdとNbの両方を取得する必要があり ます。NdやNbは1回の読み出しデータから取得できま すが、外乱ノイズの影響を除くためには数回から10回程 度、画像を取得して平均化すれば、より精度の高い補正 画像データが得られます。

#### (2) フラットフィールド補正

「2-4 感度不均一性」で示したように、CCDの感度は各 画素で均一でないため、暗電流と同様に画素単位で補 正する必要があります。ある露光条件での補正されてい ない出力 I(x, y)は、式 (3-2)で表されます。

 $I(x, y) = Nt(x, y, t, T) + i(x, y) \times r(x, y) \dots (3-2)$ 

i(x, y): 元画像の出力 r(x, y): 各画素の感度

元画像の出力 i(x, y)を得るためには、暗電流 (Nt)と ともにr(x, y)を知る必要があります。通常は、CCDに非 常に均一な光を入射して、そのときの出力を取ることで r(x, y)が得られますが、均一な光を入射することは困難 です。また、CCDの受光部上の位置によって波長ごとの 感度が異なることがあります。1%以下の精度で補正する ためには、光学系や温度などに注意して補正データを取 得する必要があります。r(x, y)は、1回の読み出しデータ でも取得できますが、外乱ノイズの影響を除くためには、 数回から10回程度、画像を取得して平均化すれば、より 精度の高い校正データが得られます。

3-8 FOSとのカップリング

表面入射型CCDにFOS (Fiber Optic plate with Scintillator)をカップリングして数十keV以上のX線を検出することができます。



Siを使った他のデバイスと同じように、CCDも放射線に よってイオン損傷とバルク (bulk)損傷を生じます。CCD をX線検出に使用したり、宇宙環境で用いる場合には、 放射線損傷についてあらかじめ考慮しておく必要があり ます。

#### [図3-17] 放射線によるCCDへの影響



イオン損傷は、あるレベル以上のエネルギー(おおむ ね紫外線よりエネルギーが高い場合)のフォトンが入射 しゲート酸化膜内で電子-正孔対が生成されたときに 発生します。フォトンにより発生した電子-正孔対のほと んどは再結合して消滅しますが、電子に比べて移動度 の小さな正孔の一部は酸化膜中でトラップされ、CCDの 動作ゲート電圧をシフトさせるような電圧を発生させま す。これによってCCDのピンニング電圧がより負側に移 動します (シフト量が数Vになる場合もあります)。高エネ ルギーの電子あるいはフォトンが入射すると、イオン損傷 とバルク損傷を引き起こします。一方、陽子や中性子のよ うな重粒子も、ゲート絶縁膜中で電荷を発生させます。 電子やフォトンは、酸化膜界面において新たな界面準位 を発生させます。その界面準位のエネルギーレベルはバ ンドギャップ中にあるため、暗電流が増加することになり ます。

バルク損傷は、陽子のようなエネルギーを帯びた荷電 粒子がSi原子と相互作用するときに発生します。陽子に 十分なエネルギーがあると、Si原子を格子状の位置から 格子間の位置に置き換えます(これが発生するには約 100 eVのエネルギーが必要です)。置き換えられたSi原 子は、他のSi原子と衝突してさらに多くの原子を置き換 えます。これにより生じた欠陥は、電子のトラップとして 働きます。CCDの電荷転送チャンネル内に多くのトラップ が作られると、電荷転送効率(CTE)が劣化します。生成 された欠陥は、暗電流の大きい画素となります。







#### (1) 放熱器の選択

電子冷却型CCDを使用する場合には、十分な放熱能 力をもった放熱器を選択する必要があります。





[図3-19] 1段電子冷却素子の温度特性



KMPDB0384JA

#### (2) 装置の設計

放熱器で発生した熱が十分放熱されるように装置を 設計する必要があります。エアファンや通気ダクトを配置 した通風のある設計を行ってください。

(3) 放熱器の取り付け方法

冷却能力を十分に発揮させるためには、製品と放熱 器を正しく接着する必要があります。以下の点に注意し て放熱器を取り付けてください。

- ・製品の放熱面と放熱器の接着面がきれいで平坦であ ることを確認してください。
- ・電子冷却素子による冷却時の放熱が不十分な場合、 素子温度が高くなり製品に物理的な損傷を与える可 能性があります。冷却時には十分な放熱を行ってく ださい。放熱方法としては、製品と放熱器の間に熱伝 導性の高い材料(例:富士高分子工業社製放熱シリ コーンゲルGR-d、東レ・ダウコーニング社製放熱シリ

コーン SE 4490 CV、住友スリーエム社製熱伝導シート 5580Hなど)を挟むことを推奨します。これらの熱伝導 材を使用する場合、製品と放熱器の接合部の全面に 均一な厚さで塗布してください。また、マイカなどを使 用する場合にも、パッケージ放熱面の全面が接触する ようにしてください。もし、ネジ止め位置までマイカの寸 法がないままネジ止めした場合、冷却効果が下がるだ けでなく、ベースがそり、センサとベースの間でクラック が発生することがあります [図3-21]。

- ・製品を基板などに挿入する際、受光窓を絶対に押さな いでください。受光窓にひび・割れが生じたり脱落する 可能性があり、故障の原因となります [図3-22]。
- ・放熱器に製品をネジ止めする場合、トルクは0.3 N・m 以下に設定し、製品に均等な応力がかかるように2箇 所のネジを交互に締めてください。

#### [図3-21] 放熱器への取り付け方法



#### [図3-22] 基板への取り付け方法



#### (4) 電子冷却素子への供給電流

電子冷却素子を保護し安定した動作を維持するため に、電子冷却素子への供給電流はデータシートに定めら れた最大電流の60%以下に設定してください。

# 3-11 静電気/サージ対策

CCDは、静電気やサージにより破壊もしくは劣化する危険性がありますので、以下の点に十分注意してください。

#### (1) 取扱上の注意

CCDを梱包ケースから取り出す際は、静電気対策を した場所にて行います。作業台・床は、導電性シート(1 MΩ~100 MΩ)を敷いて接地してください。

34

CCDを取り扱う作業者は、必ずリストバンドを装着し、静 電気防止対策のされた作業服・手袋・靴などを着用してく ださい。リストバンドは、必ず人体側に保護抵抗(1 MΩ程 度)入りのものを使用し、接地してください。保護抵抗がな い場合は、漏電によって感電する恐れがあり、非常に危 険です。

はんだごては、漏洩電圧が加わらないように必ず接地 する必要があります。

CCDに帯電物(プラスチック、ビニールなどの絶縁物、 PCのVDTなど)を近づけないでください。近づけるだけ でCCDが帯電し、放電破壊を起こす危険性があります。

(2) 使用上の注意

測定器や治工具などは、必ずアースに接続して、漏洩 電圧によりサージが加わらないようにしてください。CCD には、測定器などから絶対最大定格を超えた電圧が加 わらないようにしてください(特に電源のオン・オフ時に 起こりやすいので注意する必要があります)。サージが 加わる恐れのある場合は、フィルタ(抵抗・コンデンサで 構成)を入れて保護してください。

CCDの逆挿入・誤挿入・端子間ショートをしないように 十分注意してください。

動作中は、電源ラインや出力ラインに接続されている コネクタなどを付けたり外したりしないでください。

(3) 運搬上の注意

CCDは、導電性のマットに挿して(リードを短絡)、導 電性の容器に入れて運搬してください。実装基板は、導 電性の容器に入れて運搬してください。プラスチック・発 泡スチロールなどにCCDを入れて運搬すると、振動など で静電気が発生し、劣化もしくは破壊の原因となります。

(4) 保管上の注意

CCDは、導電性のマットに挿して(リードを短絡)、導 電性の容器に入れて保管してください。実装基板は、導 電性の容器に入れて保管してください。

高電圧・高電磁界を発生する機器の近くにCCDを置 かないでください。

以上のような静電気/サージ対策は、必ずしもすべて 実施しなければならないということではありませんが、劣 化もしくは破壊の発生状況に応じて実施してください。

# 4. 応用製品

当社のCCDイメージセンサを簡単に動作させて、各 種装置に組み込んで使用できるように、ボードタイプの 駆動回路や筐体に内蔵されたマルチチャンネル検出器 ヘッドを用意しています。駆動回路は小型・安価で装置 への組み込みが容易です [図4-1]。また、駆動回路に は、機能の異なる基板を積み上げるスタック型もありま す。必要な機能の基板を取り外して使用したり、基板を 取り換えたりすることができます。センサ専用の小型基 板がフラットケーブルで接続されたタイプでは、センサを 柔軟に配置できます [図4-2]。

マルチチャンネル検出器ヘッドでは、センサと駆動回路の放熱に配慮しており、光学系との接続が容易です。 レンズマウントアダプタをオプションとして用意している ものもあります(別売)[図4-3]。

これらの駆動回路や検出器ヘッドは、主に以下で構成 され、イメージセンサの特性を最大限に生かすように設 計されています。

・イメージセンサ制御部

- (バイアス回路、クロッキング回路、信号処理回路) ・デジタル制御部
- (イメージセンサ駆動用タイミング回路、CPU、メモリ)
- ・インターフェース制御部 (USB, Cameralink)
- ·電子冷却制御部(温度制御回路)

付属のアプリケーションソフトウェアを使うことによっ て、PCで各種パラメータの設定、データ取得・解析など を簡単に行うことができ、センサを含めた回路の特性評 価を短時間で効率よく行うことが可能です。

なお、形状・サイズ・機能・インターフェースなどについ て、カスタム対応も可能です。

#### [図4-1] 駆動回路 C11165-02 (CCDリニアイメージセンサ用)



#### [図4-2] 駆動回路 (スタックタイプ) C15361シリーズ (CCDリニアイメージセンサ用)



[図4-3] マルチチャンネル検出器ヘッド C7041 (CCDエリアイメージセンサ用)



4-1 特長

・16ビット(または14ビット)高精度A/D変換器内蔵

- ・オフセット、ゲイン調整機能を内蔵
- ・さまざまな外部トリガモードによるデータ取得が可能
- ・USBやCamera Linkなど汎用インターフェースを搭載
- ・小型:装置への組み込みが可能



#### [図4-4] ブロック図 (代表例: C11287)



4-3 使い方

付属のアプリケーションソフトウェアとドライバをPC にインストールするだけで、すぐにデータ収集が可能で す。関数ライブラリ (DLL)も付属しているため、ユーザ サイドで、Microsoft<sup>®</sup> Visual C++<sup>®</sup>、Microsoft Visual Basic<sup>®</sup>、LabVIEW<sup>®</sup>などの開発環境において、ソフトウェ ア開発を効率よく行うことができます。

Camera Linkタイプについては、市販のフレームグラ バボードとCamera Link規格準拠のケーブルを用い、フ レームグラバボード付属のアプリケーションソフトウェア およびDLLを使用してユーザサイドで独自のソフトウェ アの開発を行うことができます。

注) Microsoft、Visual C++、Visual Basicは、米国Microsoft Corporationの 米国およびその他の国における登録商標です。LabVIEWは、National Instruments社の登録商標です。



#### [図4-5] アプリケーションソフトウェア画面例





# 5. 新たな取り組み

当社は、これまでに蓄積した技術に加え新しい技術を 応用して、新たなCCDを開発しています。

#### ✿ 全面薄型CCD

当社の裏面入射型CCDは、一部の近赤外高感度タ イプを除き、部分薄型と呼ばれる、Siを部分的に薄くし た構造です。部分薄型CCDは、受光部のSi厚が10~30 µm程度のため大面積化は困難です。また、薄いSiを支 えるために、厚いSiでその周囲を取り囲む必要があるた め、受光部表面における遮光部の形成やFOPなどの実 装が難しくなります。

このような問題を解決するために、当社では全面薄型 CCDの開発を行っています。全面薄型構造にするため に、ウエハにサポート基板を貼り付けた後、ウエハ全面 を薄くします。入射面側に電極が露出した形状 [図5-2 (a)]と、サポート基板側に貫通電極がある形状 [図5-2 (b)]の2種類を開発中です。全面薄型構造を採用するこ とにより、チップの強度が高まり、大面積化が可能となる とともに、受光部表面への遮光部の形成やFOPなどの 実装が容易となります。



#### [図5-2] 全面薄型CCDの構造 (a) 入射面側に電極が露出した形状 入射光 アキュームレーション層 P型Si ゲート酸化膜 10~ 30 µm ゲート酸 BPSG膜 100~ 650 µm Ν Poly-Si電極 サポート基板 電極 電極 KMPDC08321A (b) サポート基板側に貫通電極がある形状 入射光 アキュームレーション層 P型Si ゲート酸化膜 BPSG膜 nm ģģ Ę N ∖Poly-Si電極 サポート基板 220 - 貫诵雷極 KMPDC0459JA 参考文献 1) Masaharu Muramatsu, Hiroshi Akahori, Katsumi Shibayama, Syunsuke Nakamura and Koei Yamamoto, Hamamatsu Photonics K. K., Solid State Division: "Greater than 90% QE in Visible Spectrum Perceptible from UV to near IR Hamamatsu Thinned Back Illuminated CCDs", SPIE, Solid State Sensor Arrays: Developments and Applications, 3019 (1997), P2 2) M. P. Lesser, Steward Observatory, University of Arizona: "Chemical/ Mechanical Thinning Results", SPIE, New Methods in Microscopy and Low Light Imaging, 1161 (1989), P98 3) James Janesic, Tom Elliott, Taher Daud, Jim McCarthy, Jet Propulsion Laboratory California Institute of Technology, Morley Blouke, Tektronix. Inc.,: "Backside charging of the CCD", SPIE, Solid State Imaging Arrays, 570 (1985), P46

本資料の記載内容は、令和2年11月現在のものです。

製品の仕様は、改良などのため予告なく変更することがあります。本資料は正確を期するため慎重に作成されたものですが、まれに誤記などによる誤りがある場合が あります。本製品を使用する際には、必ず納入仕様書をご用命の上、最新の仕様をご確認ください。

本製品の保証は、納入後1年以内に瑕疵が発見され、かつ弊社に通知された場合、本製品の修理または代品の納入を限度とします。ただし、保証期間内であっても、 天災および不適切な使用に起因する損害については、弊社はその責を負いません。

本資料の記載内容について、弊社の許諾なしに転載または複製することを禁じます。

# 浜松ホトニクス株式会社

#### www.hamamatsu.com

仙台営業所	〒980-0021	仙台市青葉区中央3-2-1 (青葉通プラザ11階)	TEL (022) 267-0121	FAX (022) 267-0135
筑波営業所	〒305-0817	つくば市研究学園5-12-10 (研究学園スクウェアビル7階)	TEL (029) 848-5080	FAX (029) 855-1135
東京営業所	〒105-0001	東京都港区虎ノ門3-8-21 (虎ノ門33森ビル5階)	TEL (03) 3436-0491	FAX (03) 3433-6997
中部営業所	〒430-8587	浜松市中区砂山町325-6 (日本生命浜松駅前ビル)	TEL (053) 459-1112	FAX (053) 459-1114
大阪営業所	〒541-0052	大阪市中央区安土町2-3-13 (大阪国際ビル10階)	TEL (06) 6271-0441	FAX (06) 6271-0450
西日本営業所	〒812-0013	福岡市博多区博多駅東1-13-6 (いちご博多イーストビル5階)	TEL (092) 482-0390	FAX (092) 482-0550