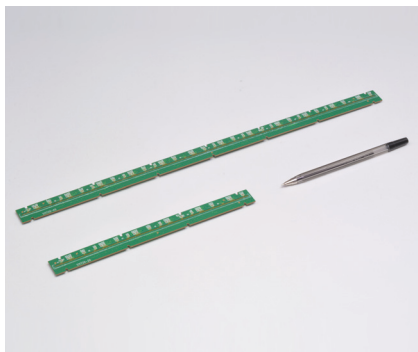


# CMOSリニアイメージセンサ

## S11720シリーズ



### CMOSチップを一行に配置した長尺イメージセンサ

S11720シリーズは、密着光学系用に開発されたCMOSリニアイメージセンサです。CMOSチップを一行に配置した長尺イメージセンサで、一台のカメラで幅広い読み取りが可能です [195 mm (S11720-20), 390 mm (S11720-40)]。また、高感度 (40800 V/lx·s)、高速読み取り (45.4 klines/s)が可能です。

#### 特長

- 画素サイズ: 127 × 127 μm
- 画素数:  
1536 (256 × 6チップ): S11720-20  
3072 (256 × 12チップ): S11720-40
- 有効受光面長:  
194.97 mm: S11720-20  
390.04 mm: S11720-40
- 高速読み出し: 45.4 klines/s
- 高感度: 40800 V/lx·s (ゲイン=8)
- 全画素同時蓄積
- 5 V電源動作
- SPI通信機能
- 16-bit A/D変換器を搭載

#### 用途

- フィルム検査
- プリント基板外観検査
- 印字検査
- 産業用ラインカメラ

#### 構成

項目	S11720-20	S11720-40	単位
画素数	1536 (256 × 6)	3072 (256 × 12)	-
画素ピッチ	127		μm
画素高さ	127		μm
有効受光面長	194.972	390.044	mm
パッケージ	ガラスエポキシ		-
封止材	シリコーン樹脂		-

### 絶対最大定格 (Ta=25 °C)

項目	記号	条件	定格値	単位
電源電圧	Vdd		-0.3 ~ +6	V
CMOSクロックパルス電圧	V(CCLK)		-0.3 ~ +6	V
CMOSスタートパルス電圧	V(CST)		-0.3 ~ +6	V
CMOSゲイン選択電圧	V(CVG1)		-0.3 ~ +6	V
	V(CVG2)			
SPIパルス電圧	V(SCLK)		-0.3 ~ +3.55	V
	V(SEN1)			
	V(SEN2)			
	V(SEN3)			
	V(SEN4)			
	V(SDIO)			
Resetパルス電圧	V(RES)		-0.3 ~ +3.55	V
動作温度	Topr	結露なきこと*1	0 ~ +70	°C
保存温度	Tstg	結露なきこと*1	-20 ~ +70	°C

\*1: 高温環境においては、製品とその周囲で温度差があると製品表面が結露しやすく、特性や信頼性に影響が及ぶことがあります。  
注) 絶対最大定格を一瞬でも超えると、製品の品質を損なう恐れがあります。必ず絶対最大定格の範囲内で使用してください。

### 推奨動作条件 (Ta=25 °C)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	Vdd	4.75	5	5.25	V
CMOSクロックパルス電圧	Highレベル	3	Vdd	Vdd + 0.25	V
	Lowレベル	0	-	0.3	
CMOSスタートパルス電圧	Highレベル	3	Vdd	Vdd + 0.25	V
	Lowレベル	0	-	0.3	
CMOSゲイン選択電圧	Highレベル	3	Vdd	Vdd + 0.25	V
	Lowレベル	0	-	0.3	
SPIパルス電圧	Highレベル	2	3.3	3.5	V
	Lowレベル	0	-	0.8	
Resetパルス電圧	Highレベル	2	3.3	3.5	V
	Lowレベル	0	-	0.8	

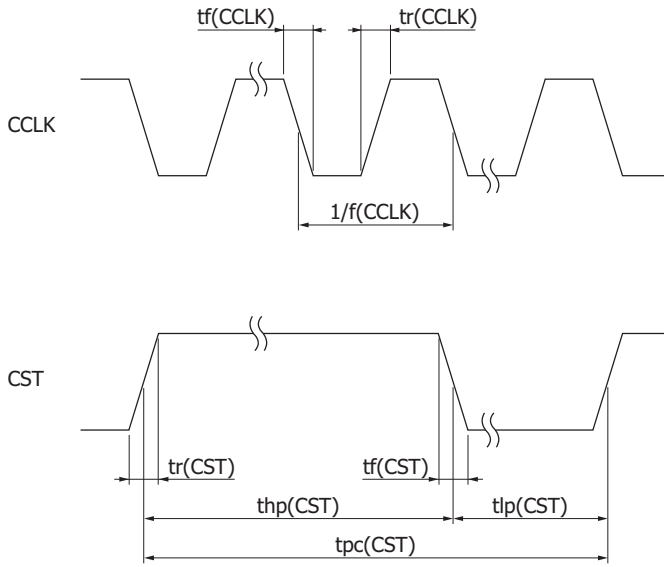
### 電気的特性

#### デジタル入力信号

(Ta=25 °C, Vdd=5 V)

項目	記号	Min.	Typ.	Max.	単位
CMOSクロックパルス周波数	f(CCLK)	10	13	15	MHz
CMOSクロックパルスデューティ周期	D(CCLK)	45	50	55	%
CMOSスタートパルス周期	t <sub>pi</sub> (CST)	102/f(CCLK)	-	-	s
CMOSスタートパルスHigh期間	t <sub>hp</sub> (CST)	6/f(CCLK)	-	-	s
CMOSスタートパルスLow期間	t <sub>lp</sub> (CST)	96/f(CCLK)	-	-	s
CMOSクロックパルス上昇/下降時間	t <sub>r</sub> (CCLK)	-	5	7	ns
	t <sub>f</sub> (CCLK)	-	5	7	
CMOSスタートパルス上昇/下降時間	t <sub>r</sub> (CST)	-	5	7	ns
	t <sub>f</sub> (CST)	-	5	7	

■ CCLK・CST入カタイミング



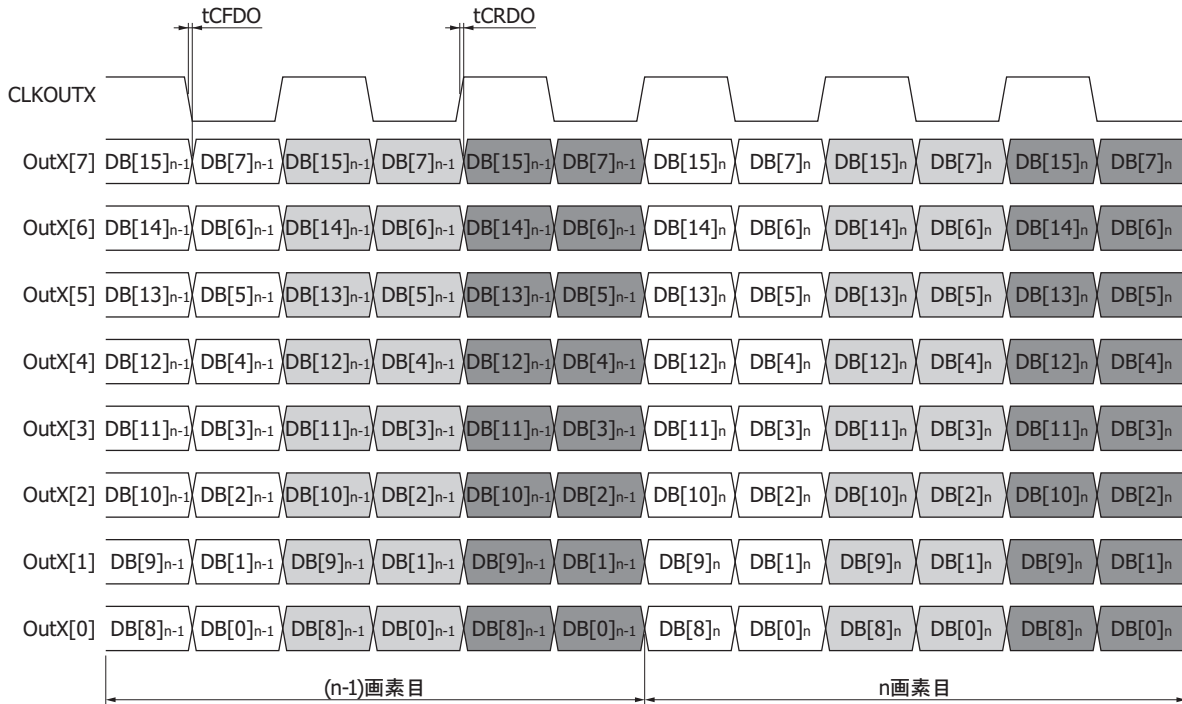
KMPDC0705EA

デジタル出力信号

[Ta=25 °C, Vdd=5 V, f (CCLK)=15 MHz]

項目	記号	Min.	Typ.	Max.	単位
データレート	DR	f(CCLK) × 6			Hz
ラインレート	LR	-	-	45.4	klines/s
CMOS出力電圧 (OutX, CLKOUTX)	Highレベル	V(OutX)	2.95	-	V
	Lowレベル	V(CLKOUTX)	-	0.25	
tCFDO	-	-2.83	-	2.7	ns
tCRDO	-	-2.83	-	2.7	ns

## ■ 同期信号、ビデオ信号



KMPOC07073B

- ・ OutX[Y] (Y=0~7): ビデオ出力
- DB[Z] (Z=0~15-bit): 16-bitビデオ出力

## 消費電流

[Ta=25 °C, Vdd=5 V, f(CCLK)=15 MHz, 暗状態]

項目	記号	S11720-20			S11720-40			単位
		Min.	Typ.	Max.	Min.	Typ.	Max.	
消費電流	Ic	-	530	630	-	1060	1260	mA

## ■ A/D変換器の電気的特性 [Ta=25 °C, Vdd=5 V, f(CCLK)=15 MHz]

項目	記号	仕様	単位
解像度	RESO	16	bit
変換電圧範囲	-	2.4 (0.26~2.66)	V

**電氣的および光学的特性 [Ta=25 °C, Vdd=5 V, f(CCLK)=15 MHz, LR=45.4 klines/s]**

項目	記号	ゲイン	Min.	Typ.	Max.	単位
感度波長範囲	$\lambda$	-	400~1000			nm
最大感度波長	$\lambda_p$	-	-	700	-	nm
受光感度*2	Sw	1	-	5100	-	V/(lx·s)
			-	139M	-	DN/(lx·s)
		8	-	40800	-	V/(lx·s)
			-	1114M	-	DN/(lx·s)
変換効率	CE	1	-	25	-	$\mu\text{V}/e^-$
			-	0.7	-	DN/ $e^-$
		8	-	200	-	$\mu\text{V}/e^-$
			-	5.7	-	DN/ $e^-$
暗出力*3 *4	VD	1	0	0.25	1.25	mV
			0	6.84	34.13	DN
		8	0	2	10	mV
			0	54.7	273	DN
飽和出力	Vsat	1	1.2	1.4	2.2	V
			32768	38229	60074	DN
		8	1.8	2.0	2.4	V
			49152	54613	65535	DN
読み出しノイズ*5	Nread	1	-	0.6	3	mV rms
			-	16	82	DN rms
		8	-	1.5	8	mV rms
			-	41	218	DN rms
ダイナミックレンジ*6	Drange	1	-	2333	-	-
		8	-	1333	-	-
出力オフセット電圧	Voffset	-	-	0.3	-	V
			-	8192	-	DN
感度不均一性*7	PRNU	1	-	$\pm 10$	$\pm 20$	%
		8	-	$\pm 10$	$\pm 20$	%
残像*8	Lag	-	-	-	2	%

\*2: 2856 K, タングステンランプ

\*3: Ts=10  $\mu\text{s}$ 

\*4: オフセット出力レベルとの電圧差

\*5: 暗状態

\*6: Vsat/Nread

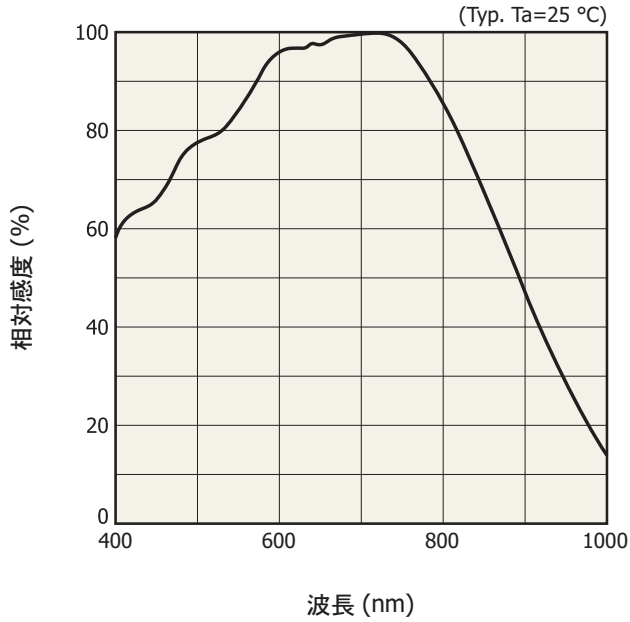
\*7: 飽和の約50%の露光量の均一光を照射した場合の出力均一性で、両端の3画素を除いた1530画素 (S11720-20)、3066画素 (S11720-40) で以下のように定義します。

$$\text{PRNU} = (\Delta X/X) \times 100 [\%]$$

\*8: 飽和出力状態で、データを読み出した後に残る1つ前のデータの信号成分。飽和露光量以上の光が入射すると残像は増加します。

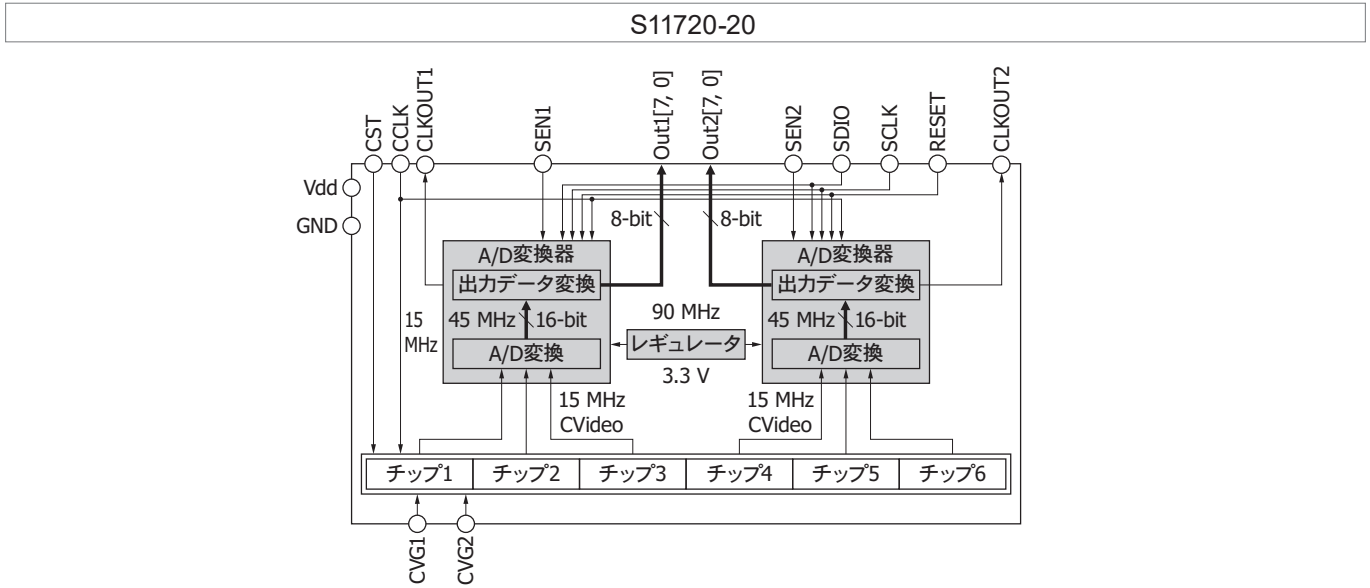
注) DN (Digital Number): A/D変換器の出力の単位

■ 分光感度特性 (代表例)

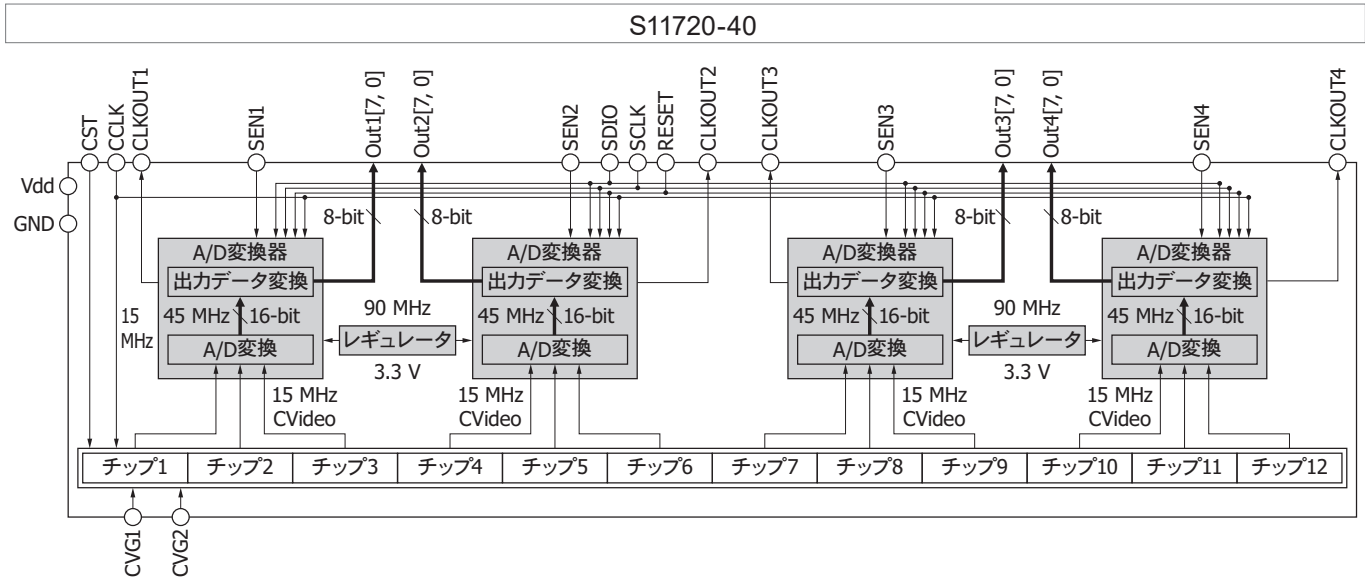


KMPDB05341A

■ ブロック図



KMPDC07093B

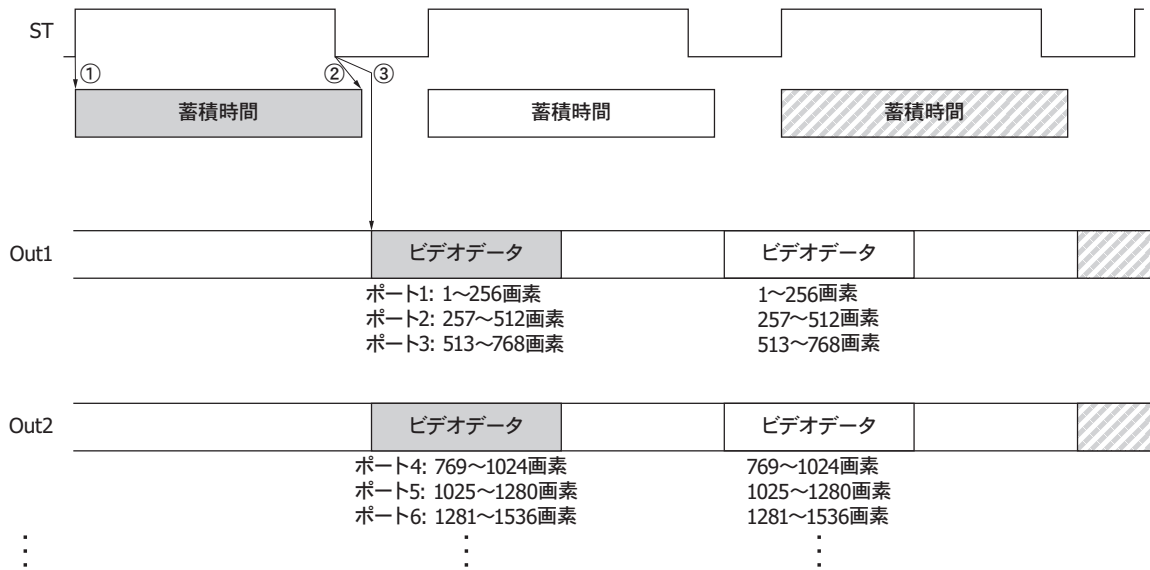


KMPDC07133B

■ タイミングチャート

■ 動作説明

蓄積時間はスタートパルスのHigh期間で決まります。



KMPDC07313A

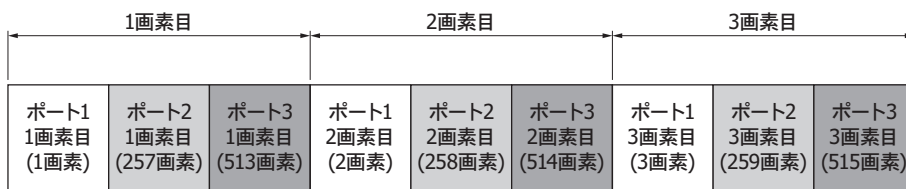
①蓄積時間の開始は、スタートパルスの立ち上がりで決まります。

②蓄積時間の終了は、スタートパルスの立ち下がりで決まります。

③ビデオデータは、スタートパルスの立ち下がりの後に出力されます。

ビデオデータは各ポートの1画素目から順に出力されます。

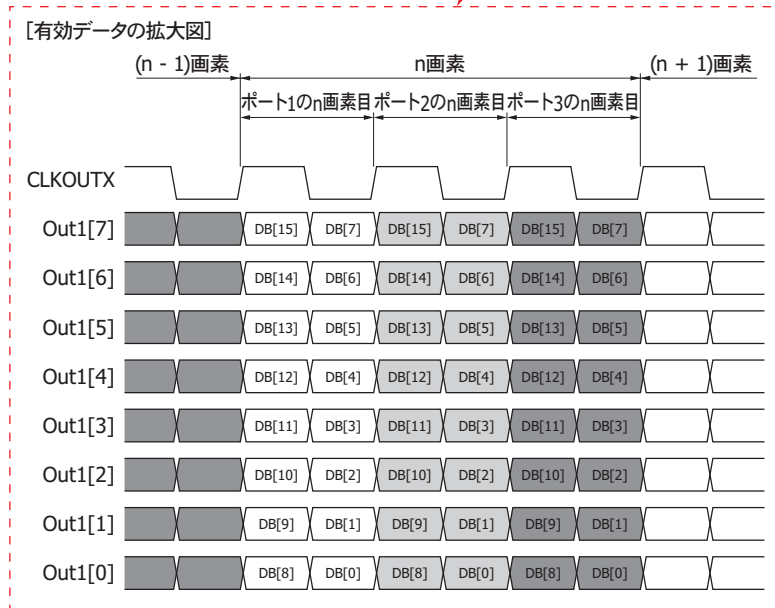
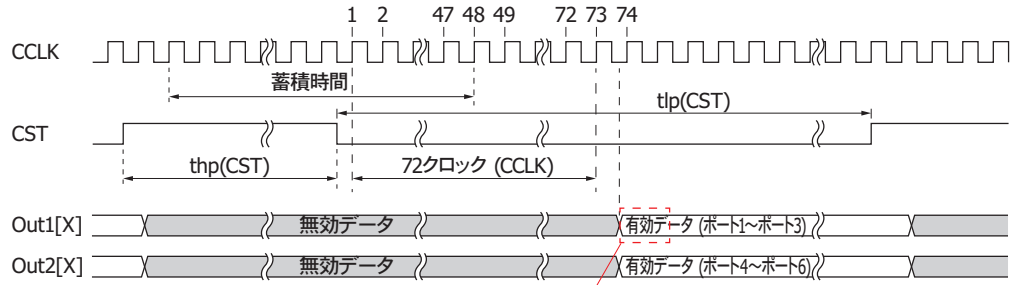
例) 1画素目 (ポート1→ポート2→ポート3)、2画素目 (ポート1→ポート2→ポート3)、3画素目 (ポート1→



KMPDC07323A

※ビデオ出力の間も信号の蓄積は可能です。

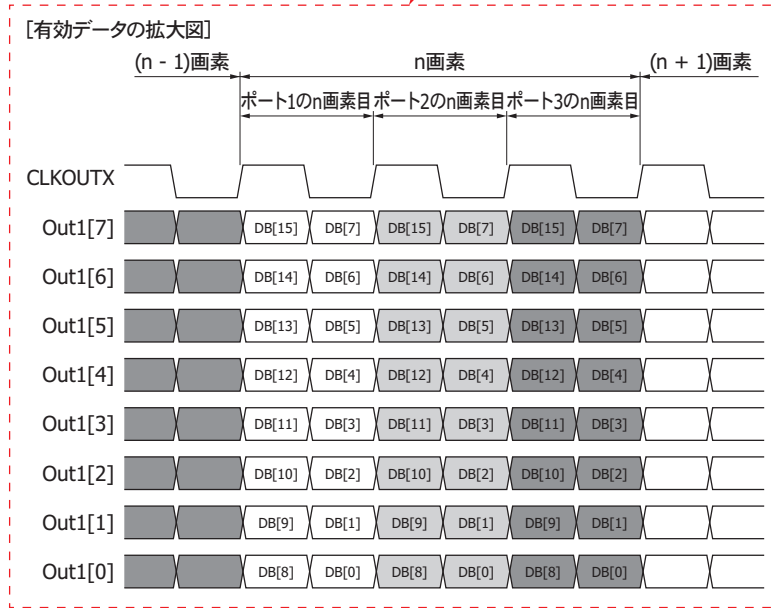
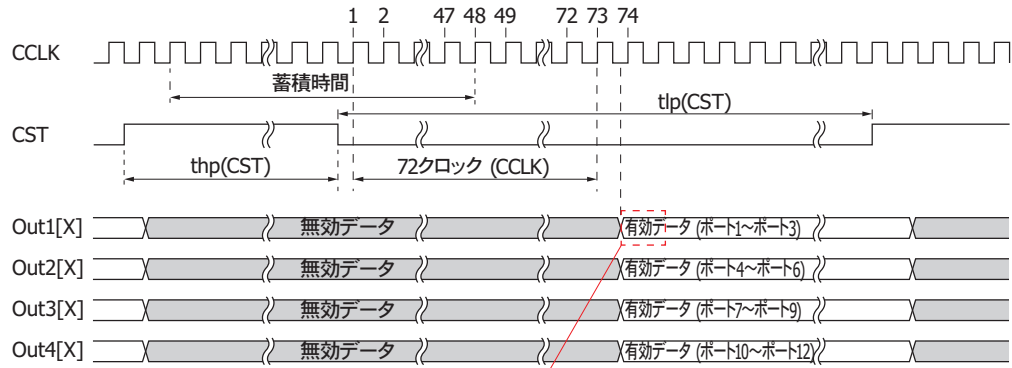
S11720-20



KMPDC0710B



S11720-40

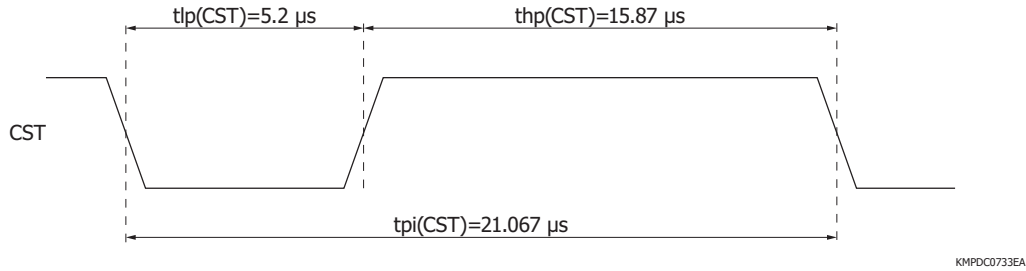


KMPDC07143B

- 蓄積時間は、スタートパルス CSTのHigh期間 + CCLKの45周期分に相当します。
- Out1[X]の有効データは、ポート1 (n画素目) → ポート2 (n画素目) → ポート3 (n画素目) → ポート1 (n + 1画素目) の順に繰り返し出力されます。
- Out1[X] (X=1~7): ビデオ出力 (Out2[X], Out3[X], Out4[X]も同様)  
DB[Z] (Z=0~15 bit): 16-bitビデオ出力

### 動作例

CMOSクロックパルス周波数を最大、1回のスキャン時間を最小 (ラインレート: 45.45 klines/s max.)、蓄積時間を最大にした場合。



- ・ CMOSクロックパルス周波数=15 MHz
- ・ CMOSスタートパルス周期= $330/f(\text{CCLK})=330/15 \text{ MHz}=22.0 \mu\text{s}$
- ・ CMOSスタートパルスHigh期間=スタートパルス周期 - スタートパルスLow期間の最小期間  
 $=330/f(\text{CCLK}) - 96/f(\text{CCLK})=330/15 \text{ MHz} - 96/15 \text{ MHz}=15.6 \mu\text{s}$
- ・ 蓄積時間=スタートパルスのHigh期間 + クロックパルス45周期分  
 $=15.6 + 3.0=18.6 \mu\text{s}$

### ゲインの設定

CVG1・CVG2でセンサのゲインを設定します。

V(CVG1)	V(CVG2)	ゲイン
Lowレベル	Lowレベル	8倍
Lowレベル	Highレベル	5倍
Highレベル	Lowレベル	2倍
Highレベル	Highレベル	1倍

### SPIの初期設定

以下にS11720-20のSPI初期設定の手順を示します。(S11720-40の場合には、SEN1, SEN2, SEN3, SEN4に対して設定してください。)  
Vddに5 Vを印加して、CCLKを入力します。CCLKで3CLK以上の期間ResetをLowにした後、Highに固定します。これによりA/D変換器のレジスタが初期設定になります。

次に、下表の設定順に従ってSCLK・SEN1・SEN2・SDIOを使ってSPIの入力 (2進数) をしてください。  
その後、SEN1とSEN2をHighに固定し、SDIOに立ち上がりの信号を2回入力すると動作を開始します。

SPIの設定をしない場合は、CST立ち下がり直後にCCLKの4CLKにおいてSDIOをHighにし、その他の期間はLowにしてください。

設定順	項目	アドレス		入力値	
		2進数	10進数	2進数	10進数
1	Page Register	11111	31	0000 0000	0
2	Main Configuration0	00000	0	1111 0001	241
3	Main Configuration1	00001	1	0010 1110	46
4	Main Configuration2	00010	2	0010 1000	40
5	Page Register	11111	31	0000 0010	2
6	SH Pulse Width	00001	1	0000 0100	10
7	CMOS Data Mode Status Bit	11110	30	0010 0000	32
8	Page Register	11111	31	0000 0011	3
9	Output Mapping CLK10	00100	4	0000 1111	15
10	Page Register	11111	31	0000 0000	0
11	OSR SAMPLE Control	01111	15	0001 0011	20
12	OSG SAMPLE Control	10000	16	0001 0011	20
13	OSB SAMPLE Control	10001	17	0001 0011	20
14	VCLP Configuration	00111	7	0001 0000	16
15	Main Configuration2	00010	2	0000 1001	9

注) 必ず上の表のアドレスに設定してください。上の表にないアドレスに設定すると、誤作動することがあります。

## ✚ SPIのA/D変換器ゲインとオフセットの設定

### S11720-20

A/D変換器の初期設定後に、Page Registerを“1”に変更します。SEN1、SEN2にアドレス「11111」と値「0000 0001」を入力します。その後、必要なアドレスと以下の2つの値を入力します。

ADCゲイン:  $\text{Gain}[\text{V}/\text{V}] = 196 / (280 - \text{“PGA 入力値”})$

ADCオフセット:  $\text{offset}[\text{DN}] = (\text{“offset 入力値”} - 64) \times 16$

ADC	レジスタ	アドレス (2進数)	初期値 (2進数)
SEN1	PGA (ポート1) [7:0]	00000	0101 0100
SEN1	PGA (ポート2) [7:0]	00001	0101 0100
SEN1	PGA (ポート3) [7:0]	00010	0101 0100
SEN2	PGA (ポート4) [7:0]	00000	0101 0100
SEN2	PGA (ポート5) [7:0]	00001	0101 0100
SEN2	PGA (ポート6) [7:0]	00010	0101 0100
SEN1	Offset (ポート1) [6:0]	01111	0100 0000
SEN1	Offset (ポート2) [6:0]	10000	0100 0000
SEN1	Offset (ポート3) [6:0]	10001	0100 0000
SEN2	Offset (ポート4) [6:0]	01111	0100 0000
SEN2	Offset (ポート5) [6:0]	10000	0100 0000
SEN2	Offset (ポート6) [6:0]	10001	0100 0000

注) 必ず上の表のアドレスに設定してください。上の表にないアドレスに設定すると、誤作動することがあります。

### S11720-40

A/D変換器の初期設定後にPage Registerを“1”に変更します。SEN1、SEN2、SEN3、SEN4にアドレス「11111」と値「0000 0001」を入力します。その後、必要なアドレスと以下の2つの値を入力します。

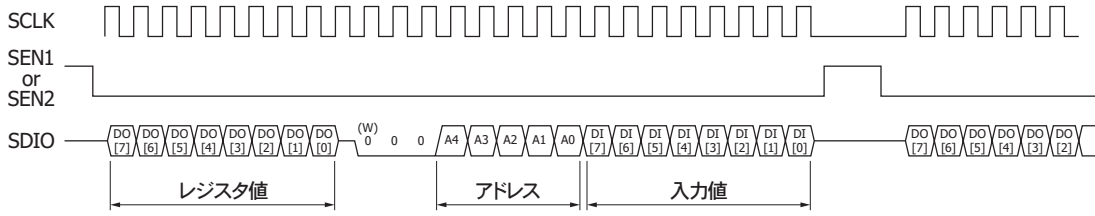
ADC内ゲイン:  $\text{Gain}[\text{V}/\text{V}] = 196 / (280 - \text{“PGA 入力値”})$

ADC内オフセット:  $\text{offset}[\text{DN}] = (\text{“offset 入力値”} - 64) \times 16$

ADC	レジスタ	アドレス (2進数)	初期値 (2進数)
SEN1	PGA (ポート1) [7:0]	00000	0101 0100
SEN1	PGA (ポート2) [7:0]	00001	0101 0100
SEN1	PGA (ポート3) [7:0]	00010	0101 0100
SEN2	PGA (ポート4) [7:0]	00000	0101 0100
SEN2	PGA (ポート5) [7:0]	00001	0101 0100
SEN2	PGA (ポート6) [7:0]	00010	0101 0100
SEN3	PGA (ポート7) [7:0]	00000	0101 0100
SEN3	PGA (ポート8) [7:0]	00001	0101 0100
SEN3	PGA (ポート9) [7:0]	00010	0101 0100
SEN4	PGA (ポート10) [7:0]	00000	0101 0100
SEN4	PGA (ポート11) [7:0]	00001	0101 0100
SEN4	PGA (ポート12) [7:0]	00010	0101 0100
SEN1	Offset (ポート1) [6:0]	01111	0100 0000
SEN1	Offset (ポート2) [6:0]	10000	0100 0000
SEN1	Offset (ポート3) [6:0]	10001	0100 0000
SEN2	Offset (ポート4) [6:0]	01111	0100 0000
SEN2	Offset (ポート5) [6:0]	10000	0100 0000
SEN2	Offset (ポート6) [6:0]	10001	0100 0000
SEN3	Offset (ポート7) [6:0]	01111	0100 0000
SEN3	Offset (ポート8) [6:0]	10000	0100 0000
SEN3	Offset (ポート9) [6:0]	10001	0100 0000
SEN4	Offset (ポート10) [6:0]	01111	0100 0000
SEN4	Offset (ポート11) [6:0]	10000	0100 0000
SEN4	Offset (ポート12) [6:0]	10001	0100 0000

注) 必ず上の表のアドレスに設定してください。上の表にないアドレスに設定すると、誤作動することがあります。

**SPIの入カタイミング (書き込み)**



KMPDC07113A

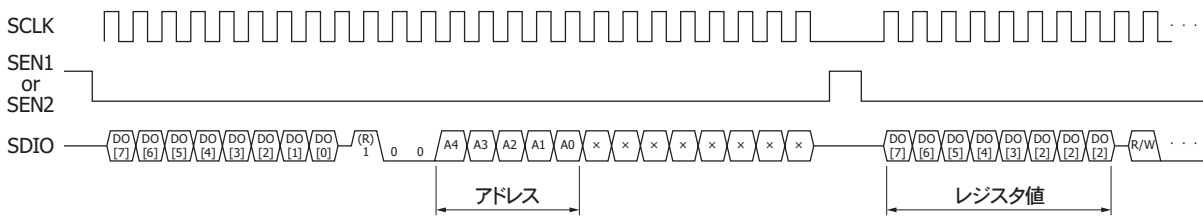
- ・以下を用いてSPIを設定します。  
S11720-20: SCLK, SEN1, SEN2, SDIO, Reset,  
S11720-40: SCLK, SEN1, SEN2, SEN3, SEN4, SDIO, Reset
- ・SEN1・SEN2でA/D変換器を選択して設定を変更します。
- ・SEN1はADC1 (ポート1~3)に、SEN2はADC2 (ポート4~6)に対応しています。
- ・SEN1・SEN2のLow期間時にSDIOの設定が有効です。
- ・SDIOにMain Configuration・PGA・Offsetなどに合ったアドレスと値を入力します。
- ・ResetをLowにすると、全項目が初期設定となります。
- ・レジスタ値は、書き込み・読み出しによらず最後にアドレスしたレジスタの値が出力されます。

(Ta=25 °C, Vdd=5 V, f(CCLK)=15 MHz)

項目	記号	Min.	Typ.	Max.	単位
SPIクロックパルス周波数	f(SCLK)	10	13	15	MHz
SPIクロックパルスデューティ周期	D(SCLK)	-	50	-	%
SPIセットアップ時間 (SEN1, SEN2, SEN3, SEN4)	tSET(SEN)	1.25	-	-	ns
SPIホールド時間 (SEN1, SEN2, SEN3, SEN4)	tHOLD(SEN)	2.82	-	-	ns
SPIセットアップ時間 (SDIO)	tSET(SDIO)	4	-	-	ns
SPIホールド時間 (SDIO)	tHOLD(SDIO)	1	-	-	ns
SENパルスHigh期間 (SEN1, SEN2, SEN3, SEN4)	thp(SEN)	4/f(CCLK)	-	-	s
デジタル入力信号上昇時間*9	tr(sigi)	-	10	30	ns
デジタル入力信号下降時間*9	tf(sigi)	-	10	30	ns

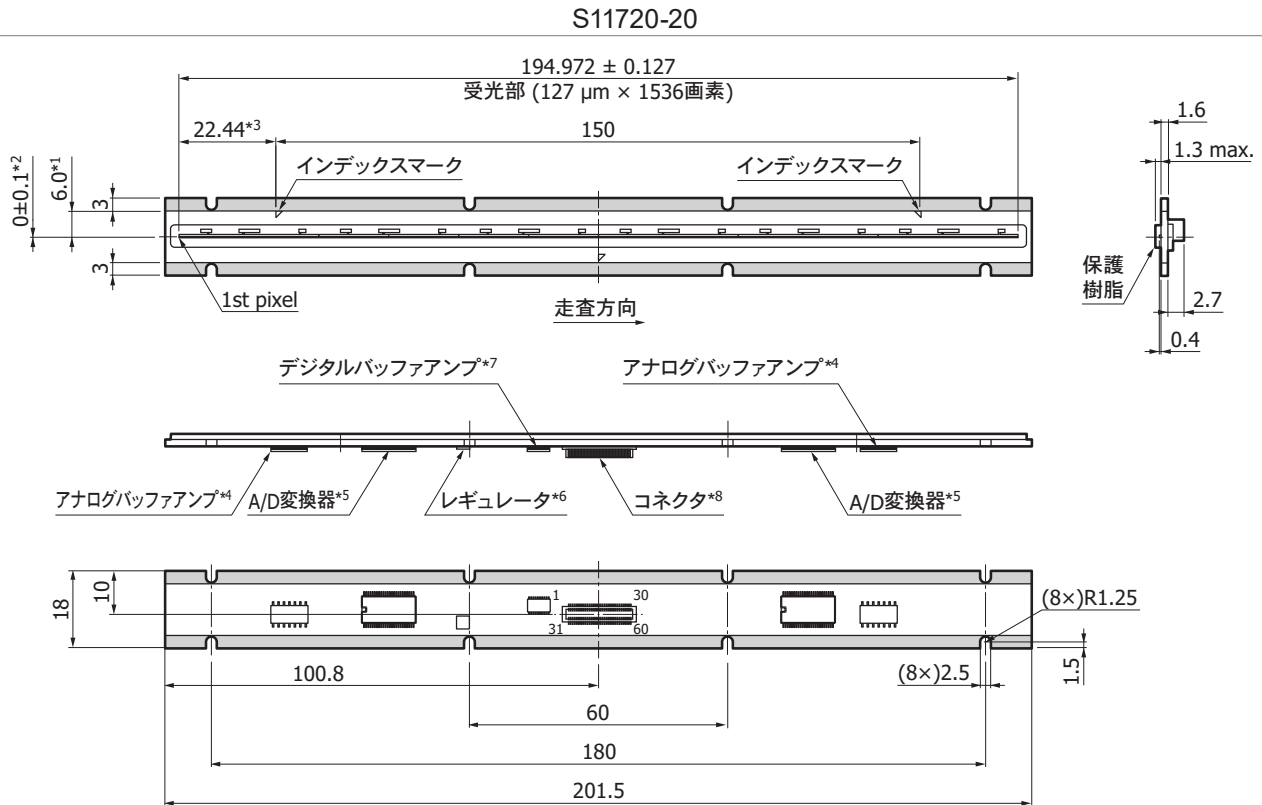
\*9: 入力電圧が10~90%の間で上昇/下降する時間

**SPIの入カタイミング (読み出し)**



KMPDC07123A

外形寸法図 (単位: mm)



指示なき公差: ±0.2

■ 部品未実装エリア

\*1: 基準点から画素中心までの寸法

\*2: 全画素中心のY方向のばらつき

\*3: 基準点から1画素目中心までの寸法

\*4: ADA4891-3ARZ (Analog Device社製)

\*5: LM98714CCMT/NOPB (Texas Instruments社製)

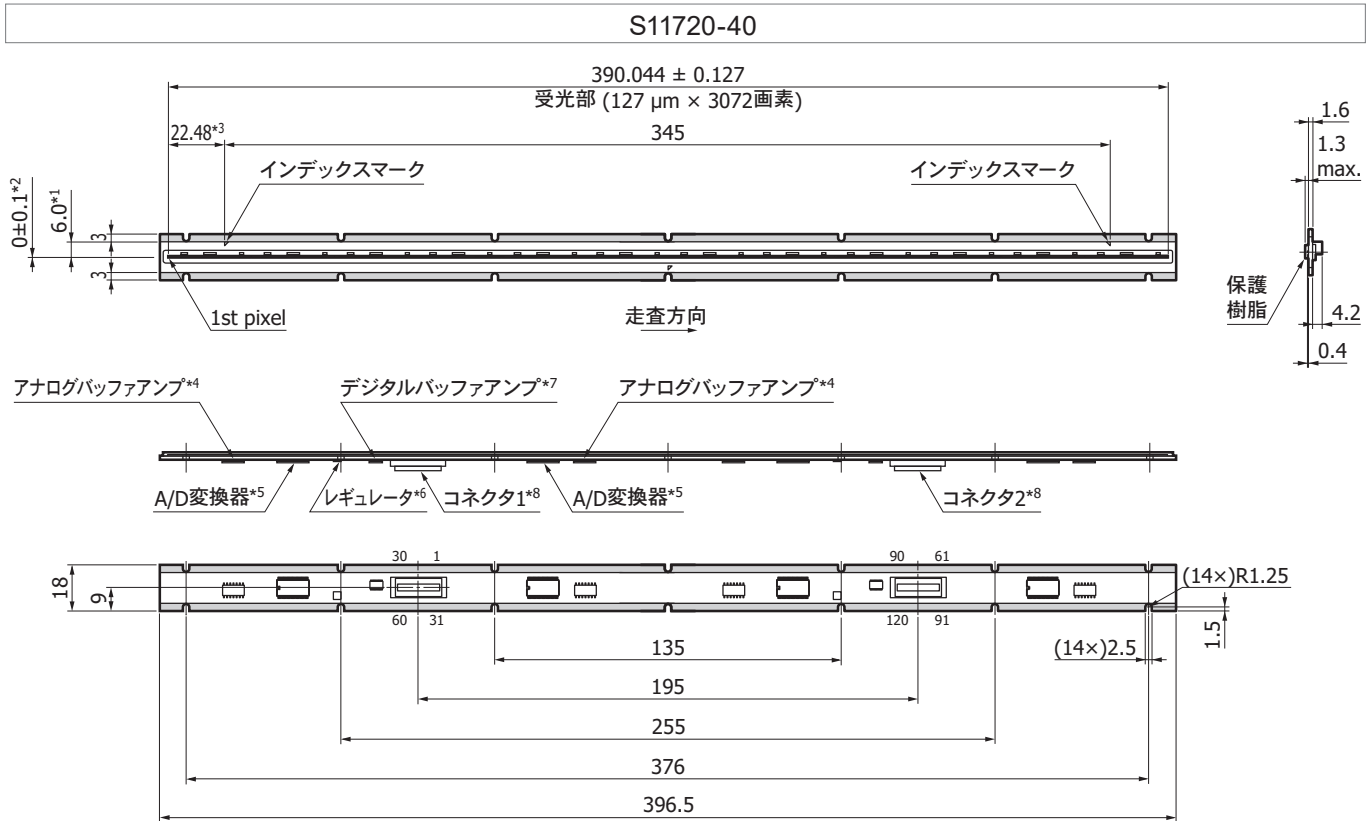
\*6: ADM7171ACPZ-3.3-R7 (Analog Devices社製)

\*7: TC74VHC541FK (東芝デバイス&ストレージ社製)

\*8: DF12B-60DS-0.5 V (86) [ヒロセ電機社製]

注) 基準点: インデックスマーク拡大図 (P.14)参照

KMPDA0604JB



指示なき公差: ±0.2

■ 部品未実装エリア

\*1: 基準点から画素中心までの寸法

\*2: 全画素中心のY方向のばらつき

\*3: 基準点から1画素目中心までの寸法

\*4: ADA4891-3ARZ (Analog Device社製)

\*5: LM98714CCMT/NOPB (Texas Instruments社製)

\*6: ADM7171ACPZ-3.3-R7 (Analog Devices社製)

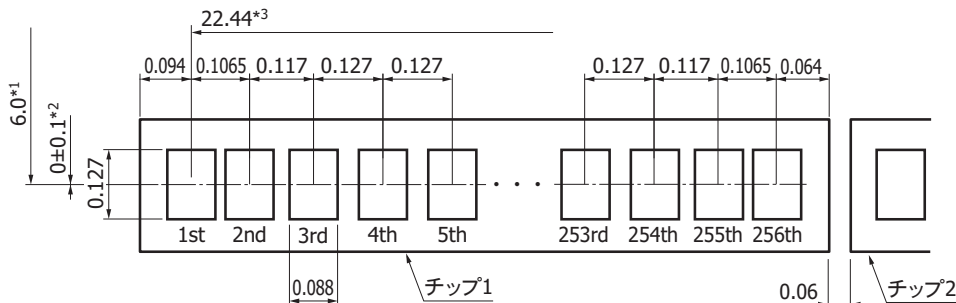
\*7: TC74VHC541FK (東芝デバイス&ストレージ社製)

\*8: DY00-060S (KEL社製)

注) 基準点: インデックスマーク拡大図参照

KMPDA0605JB

■ チップ拡大図 (S11720-20, 単位: mm)



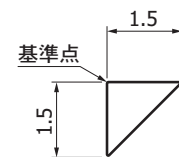
\*1: 基準点から画素中心までの寸法

\*2: 全画素中心のY方向のばらつき

\*3: 基準点から1画素目中心までの寸法

KMPDC07283A

■ インデックスマーク拡大図 (単位: mm)



KMPDC07293A

## ✚ ピン接続

S11720-20

ピンNo.	記号	説明	I/O	ピンNo.	記号	説明	I/O
1	CCLK	CMOSクロック信号	I	31	Vss	グランド	-
2	CST	CMOSスタート信号	I	32	Vss	グランド	-
3	Vss	グランド	-	33	Vdd	電源電圧 (5 V)	I
4	CVG1	CMOSゲイン設定値切替1	I	34	Vdd	電源電圧 (5 V)	I
5	CVG2	CMOSゲイン設定値切替2	I	35	Vdd	電源電圧 (5 V)	I
6	SCLK	SPIクロック信号	I	36	Vdd	電源電圧 (5 V)	I
7	SEN1	SPIイネーブル信号 (ADC1用)	I	37	Vss	グランド	-
8	SEN2	SPIイネーブル信号 (ADC2用)	I	38	Vss	グランド	-
9	SDIO	SPI入力信号	I/O	39	Vss	グランド	-
10	RESET	ADCマスターリセット	I	40	Vss	グランド	-
11	CLKOUT1	画素同期信号	O	41	Vss	グランド	-
12	CLKOUT2	画素同期信号	O	42	Vss	グランド	-
13	Vss	グランド	-	43	Vss	グランド	-
14	Vss	グランド	-	44	Vss	グランド	-
15	Out1[0]	ビデオ出力信号	O	45	Out2[7]	ビデオ出力信号	O
16	Vss	グランド	-	46	Vss	グランド	-
17	Out1[1]	ビデオ出力信号	O	47	Out2[6]	ビデオ出力信号	O
18	Vss	グランド	-	48	Vss	グランド	-
19	Out1[2]	ビデオ出力信号	O	49	Out2[5]	ビデオ出力信号	O
20	Vss	グランド	-	50	Vss	グランド	-
21	Out1[3]	ビデオ出力信号	O	51	Out2[4]	ビデオ出力信号	O
22	Vss	グランド	-	52	Vss	グランド	-
23	Out1[4]	ビデオ出力信号	O	53	Out2[3]	ビデオ出力信号	O
24	Vss	グランド	-	54	Vss	グランド	-
25	Out1[5]	ビデオ出力信号	O	55	Out2[2]	ビデオ出力信号	O
26	Vss	グランド	-	56	Vss	グランド	-
27	Out1[6]	ビデオ出力信号	O	57	Out2[1]	ビデオ出力信号	O
28	Vss	グランド	-	58	Vss	グランド	-
29	Out1[7]	ビデオ出力信号	O	59	Out2[0]	ビデオ出力信号	O
30	Vss	グランド	-	60	Vss	グランド	-

60ピンコネクタ: DF12B-60DS-0.5 V (ヒロセ電機社)

注)

- ・信号劣化を防ぐため、コネクタ接続直後にビデオ出力端子と画素同期信号端子に容量性負荷軽減のためのデジタルバッファを接続してください。
- ・ビデオ出力信号の記号の定義は以下の通りです。

OutX[Y]

└─ 0~7: データバスのbit  
└─ 1 or 2: 出力ポート

## S11720-40

## ■ コネクタ1

ピンNo.	信号	説明	I/O	ピンNo.	信号	説明	I/O
1	Vss	グランド	-	31	Vss	グランド	-
2	Out1[7]	ビデオ出力信号	O	32	Out2[0]	ビデオ出力信号	O
3	Vss	グランド	-	33	Vss	グランド	-
4	Out1[6]	ビデオ出力信号	O	34	Out2[1]	ビデオ出力信号	O
5	Vss	グランド	-	35	Vss	グランド	-
6	Out1[5]	ビデオ出力信号	O	36	Out2[2]	ビデオ出力信号	O
7	Vss	グランド	-	37	Vss	グランド	-
8	Out1[4]	ビデオ出力信号	O	38	Out2[3]	ビデオ出力信号	O
9	Vss	グランド	-	39	Vss	グランド	-
10	Out1[3]	ビデオ出力信号	O	40	Out2[4]	ビデオ出力信号	O
11	Vss	グランド	-	41	Vss	グランド	-
12	Out1[2]	ビデオ出力信号	O	42	Out2[5]	ビデオ出力信号	O
13	Vss	グランド	-	43	Vss	グランド	-
14	Out1[1]	ビデオ出力信号	O	44	Out2[6]	ビデオ出力信号	O
15	Vss	グランド	-	45	Vss	グランド	-
16	Out1[0]	ビデオ出力信号	O	46	Out2[7]	ビデオ出力信号	O
17	Vss	グランド	-	47	Vss	グランド	-
18	Vss	グランド	-	48	Vss	グランド	-
19	CLKOUT2	画素同期信号	O	49	Vss	グランド	-
20	CLKOUT1	画素同期信号	O	50	Vss	グランド	-
21	RESET	ADCマスターリセット	I	51	Vss	グランド	-
22	SDIO	SPI入力信号	I/O	52	Vss	グランド	-
23	SEN2	SPIイネーブル信号 (ADC2用)	I	53	Vss	グランド	-
24	SEN1	SPIイネーブル信号 (ADC1用)	I	54	Vss	グランド	-
25	SCLK	SPIクロック信号	I	55	Vdd	電源電圧 (5 V)	I
26	CVG2	CMOSゲイン設定値切替2	I	56	Vdd	電源電圧 (5 V)	I
27	CVG1	CMOSゲイン設定値切替1	I	57	Vdd	電源電圧 (5 V)	I
28	Vss	グランド	-	58	Vdd	電源電圧 (5 V)	I
29	CST	CMOSスタート信号	I	59	Vss	グランド	-
30	CCLK	CMOSクロック信号	I	60	Vss	グランド	-

60ピンコネクタ: DY00-060S (KEL社)

注)

- ・信号劣化を防ぐため、コネクタ接続直後にビデオ出力端子と画素同期信号端子に容量性負荷軽減のためのデジタルバッファを接続してください。
- ・ビデオ出力信号の記号の定義は以下の通りです。

OutX[Y]

- └─ 0~7: データバスのbit
- └─ 1~4: 出力ポート



## ■ コネクタ2

ピンNo.	信号	説明	I/O	ピンNo.	信号	説明	I/O
61	Vss	グラウンド	-	91	Vss	グラウンド	-
62	Out3[7]	ビデオ出力信号	O	92	Out4[0]	ビデオ出力信号	O
63	Vss	グラウンド	-	93	Vss	グラウンド	-
64	Out3[6]	ビデオ出力信号	O	94	Out4[1]	ビデオ出力信号	O
65	Vss	グラウンド	-	95	Vss	グラウンド	-
66	Out3[5]	ビデオ出力信号	O	96	Out4[2]	ビデオ出力信号	O
67	Vss	グラウンド	-	97	Vss	グラウンド	-
68	Out3[4]	ビデオ出力信号	O	98	Out4[3]	ビデオ出力信号	O
69	Vss	グラウンド	-	99	Vss	グラウンド	-
70	Out3[3]	ビデオ出力信号	O	100	Out4[4]	ビデオ出力信号	O
71	Vss	グラウンド	-	101	Vss	グラウンド	-
72	Out3[2]	ビデオ出力信号	O	102	Out4[5]	ビデオ出力信号	O
73	Vss	グラウンド	-	103	Vss	グラウンド	-
74	Out3[1]	ビデオ出力信号	O	104	Out4[6]	ビデオ出力信号	O
75	Vss	グラウンド	-	105	Vss	グラウンド	-
76	Out3[0]	ビデオ出力信号	O	106	Out4[7]	ビデオ出力信号	O
77	Vss	グラウンド	-	107	Vss	グラウンド	-
78	Vss	グラウンド	-	108	Vss	グラウンド	-
79	CLKOUT4	画素同期信号	O	109	Vss	グラウンド	-
80	CLKOUT3	画素同期信号	O	110	Vss	グラウンド	-
81	RESET	ADCマスターリセット	I	111	Vss	グラウンド	-
82	SDIO	SPI入力信号	I/O	112	Vss	グラウンド	-
83	SEN4	SPIイネーブル信号 (ADC4用)	I	113	Vss	グラウンド	-
84	SEN3	SPIイネーブル信号 (ADC3用)	I	114	Vss	グラウンド	-
85	SCLK	SPIクロック信号	I	115	Vdd	電源電圧 (5 V)	I
86	CVG2	CMOSゲイン設定値切替2	I	116	Vdd	電源電圧 (5 V)	I
87	CVG1	CMOSゲイン設定値切替1	I	117	Vdd	電源電圧 (5 V)	I
88	Vss	グラウンド	-	118	Vdd	電源電圧 (5 V)	I
89	CST	CMOSスタート信号	I	119	Vss	グラウンド	-
90	CCLK	CMOSクロック信号	I	120	Vss	グラウンド	-

60ピンコネクタ: DY00-060S (KEL社)

注)

- ・信号劣化を防ぐため、コネクタ接続直後にビデオ出力端子と画素同期信号端子に容量性負荷軽減のためのデジタルバッファを接続してください。
- ・ビデオ出力信号の記号の定義は以下の通りです。

OutX[Y]

- └─ 0~7: データバスのbit
- └─ 1~4: 出力ポート

### ■ 使用上の注意

#### (1) 静電気対策

本製品は静電気に対する保護回路を内蔵していますが、静電気による破壊を未然に防ぐために、作業中・作業台・作業工具の接地などの静電気対策を実施してください。また、周辺機器からのサージ電圧を防ぐようにしてください。

#### (2) 保護樹脂

保護樹脂の表面にゴミや汚れが付着すると、画像に黒キズとして現れます。埃を取り除く場合には、エアブローで吹き飛ばしてください。油汚れが付着した場合には、キズをつけないようにエチルアルコールを付けた綿棒などで軽く拭き取ってください。強くこすったり何度も拭き取ったりすると、電気的および光学的特性や信頼性の低下を招くことがあります。

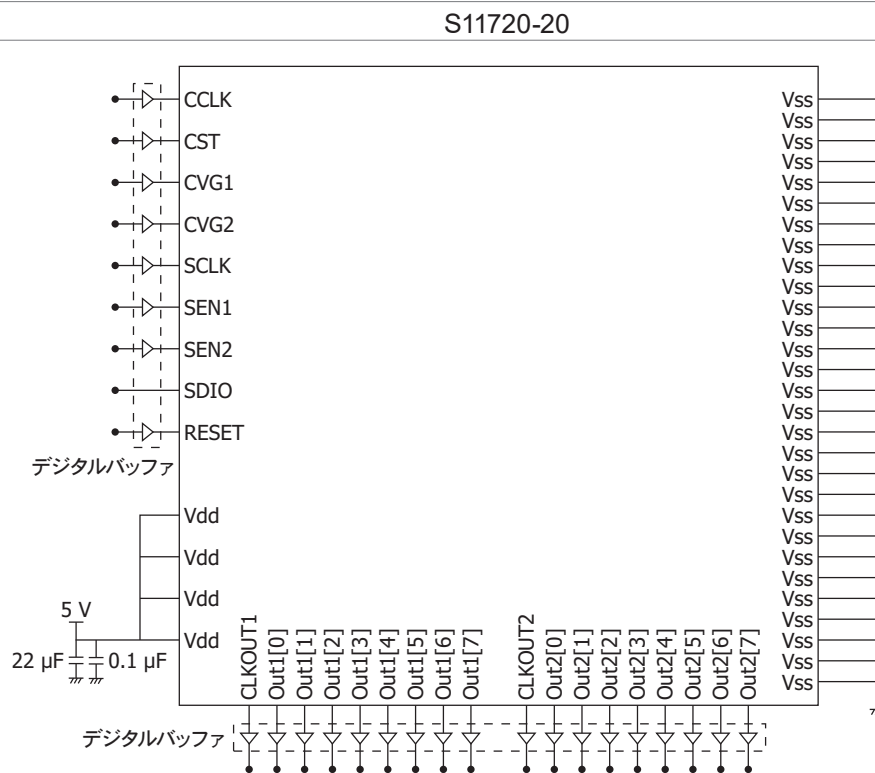
#### (3) 動作/保存環境

絶対最大定格の温度範囲を守ってください。過度の高温高湿条件下においては、特性に変化を生じることがあります。

#### (4) 紫外線照射

本製品は紫外線照射による特性劣化を抑えるように設計されていないため、紫外線を照射しないでください。

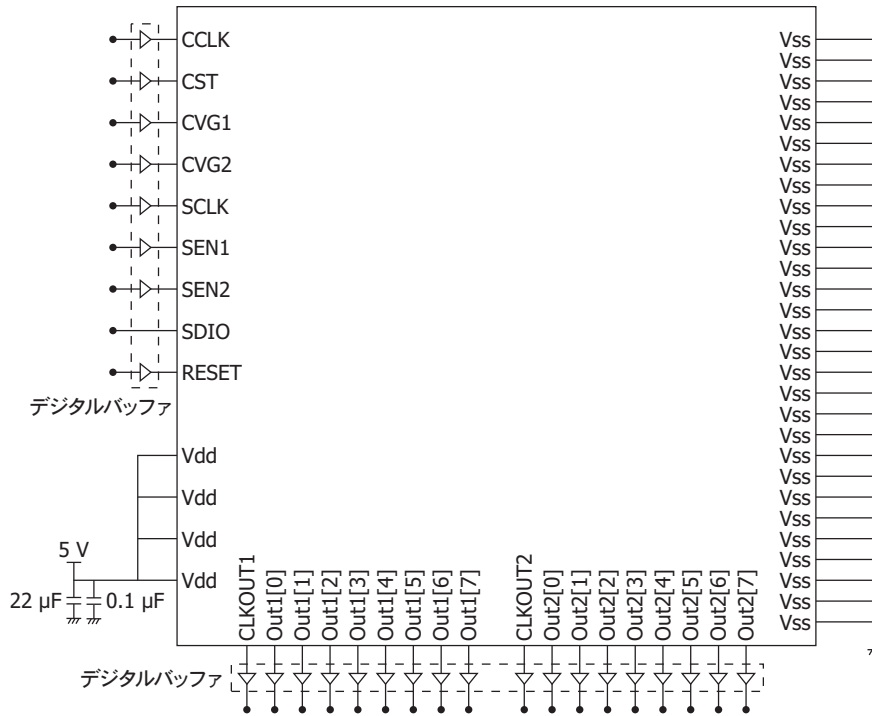
### ■ 接続回路例



KMPDC07193B

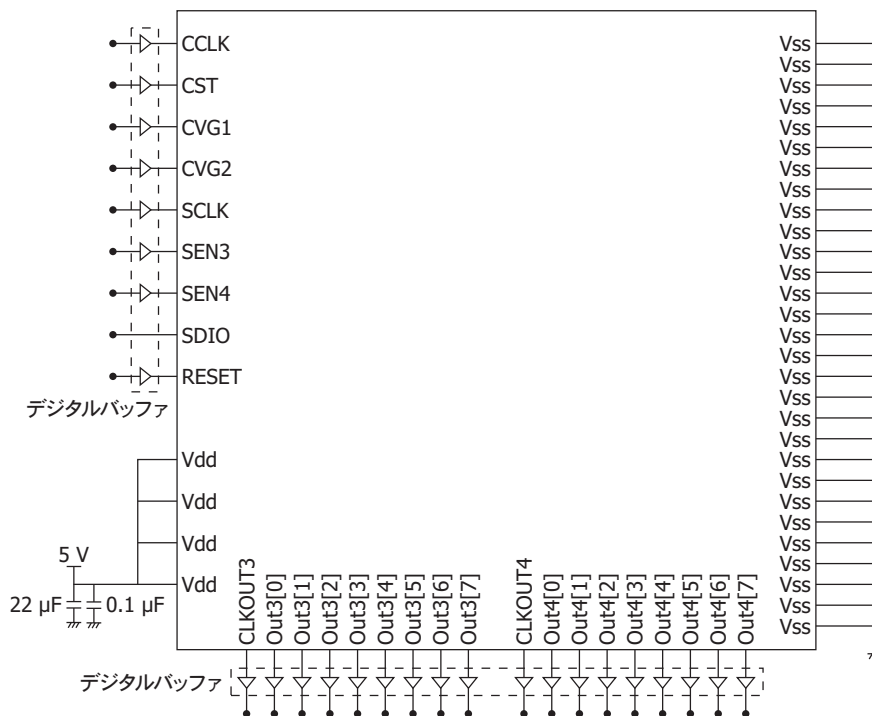
S11720-40

■ コネクタ1 [外形寸法図 (P.14)参照]



KMPDC07193B

■ コネクタ2 [外形寸法図 (P.14)参照]



KMPDC07203B

**■ 関連情報**

[www.hamamatsu.com/sp/ssd/doc\\_ja.html](http://www.hamamatsu.com/sp/ssd/doc_ja.html)

**■ 注意事項**

- ・ 製品に関する注意事項とお願い
- ・ イメージセンサ／使用上の注意

**■ 技術情報**

- ・ イメージセンサ／用語の説明

本資料の記載内容は、令和2年2月現在のものです。

製品の仕様は、改良などのため予告なく変更することがあります。本資料は正確を期するため慎重に作成されたものですが、まれに誤記などによる誤りがある場合があります。本製品を使用する際には、必ず納入仕様書をご用命の上、最新の仕様をご確認ください。

本製品の保証は、納入後1年以内に瑕疵が発見され、かつ弊社に通知された場合、本製品の修理または代品の納入を限度とします。ただし、保証期間内であっても、天災および不適切な使用に起因する損害については、弊社はその責を負いません。

本資料の記載内容について、弊社の許諾なしに転載または複製することを禁じます。

**浜松ホトニクス株式会社**

[www.hamamatsu.com](http://www.hamamatsu.com)

仙台営業所	〒980-0021	仙台市青葉区中央3-2-1 (青葉通プラザ11階)	TEL (022) 267-0121	FAX (022) 267-0135
筑波営業所	〒305-0817	茨城県つくば市研究学園5-12-10 (研究学園スクウェアビル7階)	TEL (029) 848-5080	FAX (029) 855-1135
東京営業所	〒105-0001	東京都港区虎ノ門3-8-21 (虎ノ門33森ビル5階)	TEL (03) 3436-0491	FAX (03) 3433-6997
中部営業所	〒430-8587	浜松市中区砂山町325-6 (日本生命浜松駅前ビル)	TEL (053) 459-1112	FAX (053) 459-1114
大阪営業所	〒541-0052	大阪市中央区安土町2-3-13 (大阪国際ビル10階)	TEL (06) 6271-0441	FAX (06) 6271-0450
西日本営業所	〒812-0013	福岡市博多区博多駅東1-13-6 (竹山博多ビル5階)	TEL (092) 482-0390	FAX (092) 482-0550

※2020年4月1日より、ビル名称が「いちご博多イーストビル」に変更となります。

固体営業推進部 〒435-8558 浜松市東区市野町1126-1 TEL (053) 434-3311 FAX (053) 434-5184