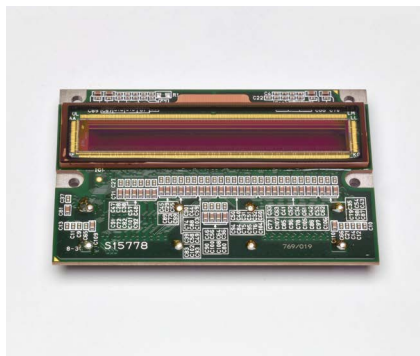


CMOSリニアイメージセンサ



S15778

高速読み出し (100 klines/s)が可能

S15778は、高速スキャンを必要とする産業用カメラの用途に開発されたCMOSリニアイメージセンサです。画素ごとに読み出しアンプとA/D変換器を搭載した列並列読み出し方式を採用しているため、高速読み出しが可能です。A/D変換器の分解能は、10-bit (高速モード: 100 klines/s max.)と11-bit (低速モード: 50 klines/s max.)から選択できます。ビデオ信号は360 MHzのLVDS方式で、シリアル出力されます。

■ 特長

- 画素サイズ: 7 × 7 μm
- 画素数: 8192
- 高速読み出し: 100 klines/s
- 全画素同時蓄積
- 3.3/1.8 V電源動作
- SPI通信機能
- 10-bit/11-bit A/D変換器を搭載

■ 用途

- マシンビジョン
- フィルム検査
- プリント基板外観検査
- 印字検査

■ 構成

項目	仕様	単位
画素数	8192	-
画素ピッチ	7	μm
画素高さ	7	μm
有効受光面長	57.344	mm
パッケージ	ガラスエポキシ + FeNiCo 合金	-
窓材*1	硼珪酸ガラス	-

*1: ARコート付き (400~800 nmで反射率1%以下)

■ 絶対最大定格 (Ta=25 °C)

項目	記号	条件	定格値	単位
電源電圧	アナログ端子	Vdd(A)	-0.3 ~ +3.9	V
	デジタル端子	Vdd(D)	-0.3 ~ +3.9	V
	カウンタ端子	Vdd(C)	-0.3 ~ +3.9	V
デジタル入力信号端子電圧*2	Vi		-0.3 ~ +3.9	V
動作温度	Topr	結露なきこと*3	-5 ~ +70	°C
保存温度	Tstg	結露なきこと*3	-10 ~ +70	°C

*2: CS, SCLK, MOSI, RSTB, MCLK, MST, All-reset, PLL-reset

*3: 高温環境においては、製品とその周囲で温度差があると製品表面が結露しやすく、特性や信頼性に影響が及ぶことがあります。注) 絶対最大定格を瞬でも超えると、製品の品質を損なう恐れがあります。必ず絶対最大定格の範囲内で使用してください。

推奨動作条件 (Ta=25 °C)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	アナログ端子 Vdd(A)	3.15	3.3	3.45	V
	デジタル端子 Vdd(D)	3.15	3.3	3.45	
	カウンタ端子 Vdd(C)	1.7	1.8	1.9	
デジタル入力電圧	Highレベル Vi(H)	3	Vdd(D)	Vdd(D) + 0.25	V
	Lowレベル Vi(L)	0	-	0.3	

電気的特性

デジタル入力信号

[Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, Vdd(C)=1.8 V]

項目	記号	Min.	Typ.	Max.	単位
マスタークロックパルス周波数	f(MCLK)	29	30	31	MHz
マスタークロックパルスデューティ周期	D(MCLK)	45	50	55	%
マスタースタートパルス 周期*4	高速モード t _{pi} (MST)	300/f(MCLK)	-	-	s
	低速モード	600/f(MCLK)	-	-	
マスタースタートパルス High期間*4	高速モード t _{hp} (MST)	166/f(MCLK)	-	-	s
	低速モード	332/f(MCLK)	-	-	
マスタースタートパルス Low期間*4	高速モード t _{lp} (MST)	2/f(MCLK)	-	-	s
	低速モード	4/f(MCLK)	-	-	
マスタークロック - マスタースタート 遅延時間	t _{CSD}	-	-	5	ns
マスタークロック - リセット遅延 時間*5	t _{CRD}	-	-	5	ns
上昇時間*6	t _r (sigi)	-	5	7	ns
下降時間*6	t _f (sigi)	-	5	7	ns

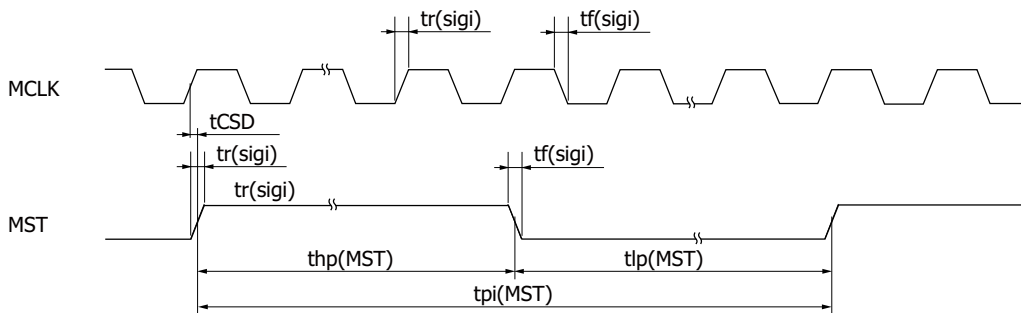
*4: 高速モードは、最大ラインレートが100 klines/sです。t_{pi}(MST)=300/f(MCLK)の時にラインレートが100 klines/sとなります。

低速モードは、最大ラインレートが50 klines/sです。t_{pi}(MST)=600/f(MCLK)の時にラインレートが50 klines/sとなります。

*5: MCLKの立ち下がりに対するPLL_ResetおよびAll_Resetの立ち上がりの遅延時間

*6: 入力電圧が10%から90%の間で上昇・下降する時間

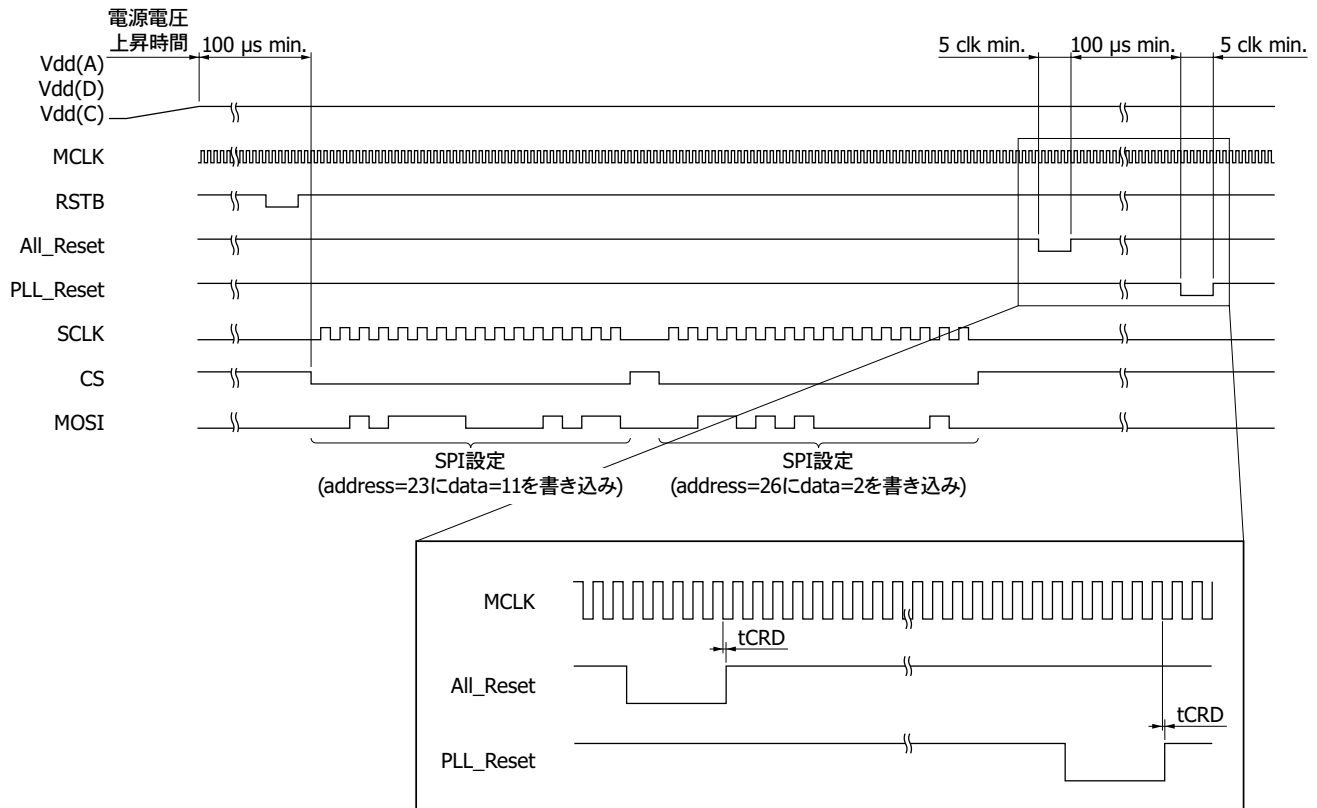
MCLK, MST入カタイミング



KMPDC0677EA

■ SPI設定 (address=23, 26), RSTB, PLL_Reset, All_Reset入カタイミング

電源を投入した後 (100 μ s以上)に、SPIを設定してください。SPI設定の前 (100 μ s以上)にMCLKの入力を開始してください。MCLK開始からSPI設定までの間に、RSTBを一度Lowにしてください。その後、All_Reset、PLL_Resetの順で、それぞれマスタークロックパルス 5周期分以上の期間をLowにしてください。All_ResetとPLL_Resetの間は、100 μ s以上あけてください。



KMPDC08883C

デジタル出力信号

[Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, Vdd(C)=1.8 V, f(MCLK)=30 MHz]

項目	記号	Min.	Typ.	Max.	単位
ビデオデータレート (LVDS)	DR	f(MCLK) × 12			MHz
ラインレート	高速モード	-	-	100	klines/s
	低速モード	-	-	50	
LVDS出力電圧*7	オフセット	Vcom	1.25	1.38	V
	差動	Vdiff	0.35	0.45	
LVDS上昇時間*8	tr(LVDS)	-	0.9	1.3	ns
LVDS下降時間*8	tf(LVDS)	-	0.9	1.3	ns
ビット出力同期信号1-ポートA出力遅延時間*9	tPDD	-0.8	0.1	1	ns
ビット出力同期信号1-画素同期信号遅延時間*9	tPDC	-0.75	0.15	1.05	ns
ビット出力同期信号1-フレーム同期信号遅延時間*9	上昇時間	tPDSR	-0.45	0.55	ns
	下降時間	tPDSF	-0.45	0.55	
CMOS出力電圧	High	Vsigo(H)	Vdd(D) - 0.25	Vdd(D)	V
	Low	Vsigo(L)	-	0	
タイミング発生回路 クロックパルス周波数	高速モード	f(TGCLK)	f(MCLK)	-	Hz
	低速モード	f(TGCLK)	f(MCLK)/2	-	
CMOS出力上昇時間*10	tr(sigo)	-	10	12	ns
CMOS出力下降時間*10	tf(sigo)	-	10	12	ns
ビット出力同期信号1- ビット出力同期信号3遅延時間*11	tPDP	5.0	5.8	6.6	ns
画素出力同期信号1- 画素出力同期信号3遅延時間*12	tCDC	5.0	5.8	6.6	ns
ポート間出力遅延時間	tDDD	0.65	0.75	0.85	ns

*7: LVDS出力端子には、終端抵抗 100 Ωを付けてください。

*8: 出力端子に2 pFの負荷容量が付いたときに、出力電圧が10~90%の間で上昇・下降する時間

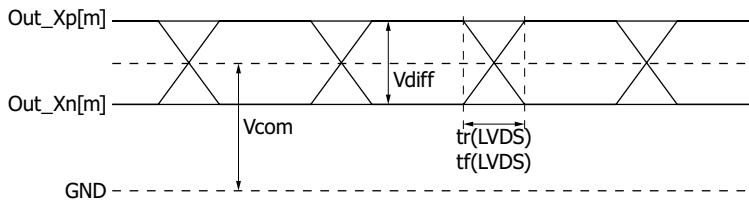
*9: Pclk1_delay=0, CTR1_delay=0 [Pclk, CTRは、SPI設定で遅延量を調整可能: SPIのアドレスの設定 (P.14)参照]

*10: 出力端子に10 pFの負荷容量が付いたときに、出力電圧が10~90%の間で上昇/下降する時間

*11: Pclk1_delay=0, Pclk3_delay=0

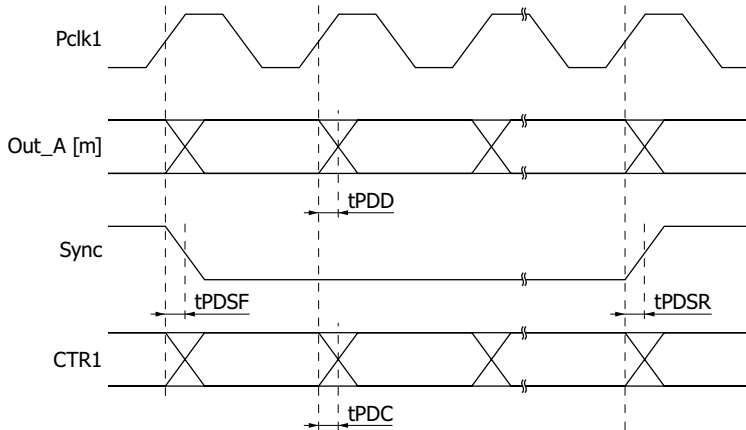
*12: CTR1_delay=0, CTR3_delay=0

■ LVDS出力電圧



KMPDC0658EB

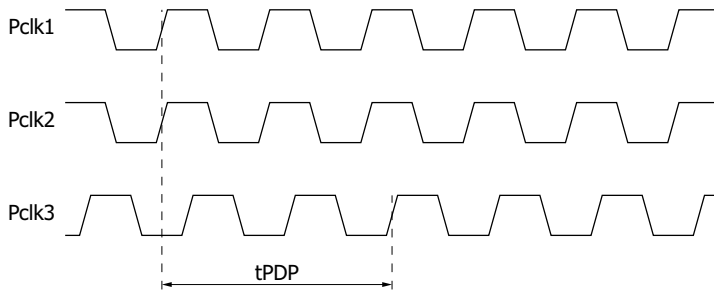
■ 同期信号、ビデオ信号



KMPDC0880EA

- ・各波形は、LVDSのポジティブ信号とネガティブ信号の差分を表します。
- ・Out_A[m]は、ポートAのビデオ出力です。
m: 0=下位bit, 1=上位bit
- ・Syncの立ち上がり後にビデオ出力を開始します。Syncをデータ取り込み時の基準にしてください [タイミングチャート (P.12)参照]。
- ・CTRの立ち下がりと同時に下位bitはD0から、上位bitはD6から順に出力します。CTRをデータ取り込み時の基準にしてください [タイミングチャート (P.12)参照]。

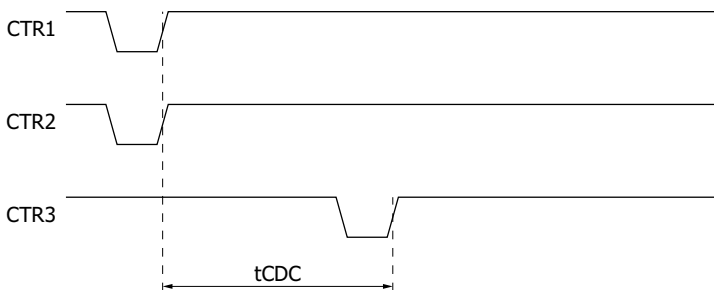
■ ビット出力同期信号



KMPDC0889JA

注) Pclk1とPclk2のタイミングは同じです (設定: Pclk1_delay=0, Pclk2_delay=0)。

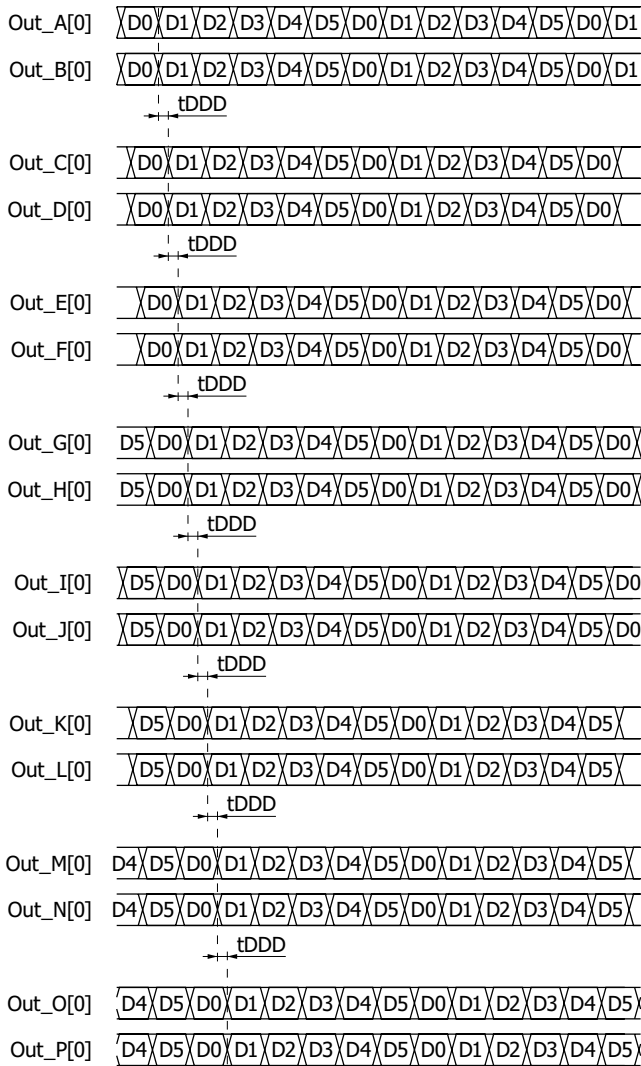
■ 画素出力同期信号



KMPDC0890JA

注) CTR1とCTR2のタイミングは同じです (設定: CTR1_delay=0, CTR2_delay=0)。

■ ビデオ出力



注)
以下のそれぞれは、同じタイミングです。

- ・ポートAとポートB
- ・ポートCとポートD
- ・ポートEとポートF
- ・ポートGとポートH
- ・ポートIとポートJ
- ・ポートKとポートL
- ・ポートMとポートN
- ・ポートOとポートP

KMPDC0891JA

消費電流

[Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, Vdd(C)=1.8 V, f(MCLK)=30 MHz, LR=100 klines/s]

項目	記号	Min.	Typ.	Max.	単位
Vdd(A)端子*13	Ic1	160	250	340	mA
Vdd(D)端子*13	Ic2	480	740	1000	
Vdd(C)端子*13	Ic3	440	680	920	

*13: 飽和露光量の光を注入

■ A/D変換器の電気的特性 [Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, Vdd(C)=1.8 V, f(MCLK)=30 MHz]

項目	記号	仕様	単位
解像度	高速モード	10*14	bit
	低速モード	11*15	
変換電圧範囲	-	0 ~ 1.3	V

*14: 10-bit相当。オフセット出力から飽和出力までが、約1024 DNとなります。

*15: 11-bit相当。オフセット出力から飽和出力までが、約2048 DNとなります。

- 電気的および光学的特性 [Ta=25 °C, Vdd(A)=Vdd(D)=3.3 V, Vdd(C)=1.8 V, f(MCLK)=30 MHz, ゲイン: 初期値, オフセット: 初期値, tpi (MST)=10 μs (高速モード), 20 μs (低速モード)]

各モード共通

項目	記号	Min.	Typ.	Max.	単位	
感度波長範囲	λ	400~1000			nm	
最大感度波長	λ_p	-	700	-	nm	
感度不均一性*16	ゲイン=1	PRNU	-	±5	±10	%
	ゲイン=8		-	±5	±10	
残像*17	ゲイン=1	Lag	-	0.1	%	
飽和電荷量	Qsat	24	25	-	ke ⁻	
SNR max.	ゲイン=1	-	42	44	-	dB
	ゲイン=8		32	35	-	

*16: 飽和の約50%の露光量の均一光を照射した場合の出力均一性で、両端の3画素を除いた8186画素で以下のように定義します。

$$PRNU = (\Delta X/X) \times 100 [\%]$$

*17: 飽和出力状態で、データを読み出した後に残る1つ前のデータの信号成分。飽和露光量以上の光が入射すると残像は増加します。

高速モード

項目	記号	ゲイン	Min.	Typ.	Max.	単位
オフセットばらつき*18	VSNU	1	-	3.6	21.6	mV
			-	2.9	17.4	DN
		8	-	5.3	31.8	mV
			-	4.2	25.2	DN
暗出力*19	VD	1	-	0.61	24	mV
			-	0.49	20	DN
		8	-	4.9	200	mV
			-	3.9	160	DN
受光感度*20	Sw	1	-	55	-	V/(lx·s)
			-	44k	-	DN/(lx·s)
		8	-	440	-	V/(lx·s)
			-	350k	-	DN/(lx·s)
変換効率	CE	1	-	51	-	μV/e ⁻
			-	41	-	mDN/e ⁻
		8	-	410	-	μV/e ⁻
			-	330	-	mDN/e ⁻
飽和出力	Vsat	-	1.2	1.25	-	V
			975	1000	-	DN
読み出しノイズ*21	Nread	1	-	0.63	3.4	mV rms
			-	0.5	2.7	DN rms
		8	-	1.5	16	mV rms
			-	1.2	13	DN rms
ダイナミックレンジ*22	Drange	1	-	2000	-	-
		8	-	800	-	

低速モード

項目	記号	ゲイン	Min.	Typ.	Max.	単位
オフセットばらつき*18	VSNU	1	-	1.1	6.6	mV
			-	1.8	11	DN
		8	-	4.6	28	mV
			-	7.3	44	DN
暗出力*19	VD	1	-	0.61	24	mV
			-	1	40	DN
		8	-	4.9	200	mV
			-	7.8	310	DN
受光感度*20	Sw	1	-	55	-	V/(lx·s)
			-	88k	-	DN/(lx·s)
		8	-	440	-	V/(lx·s)
			-	700k	-	DN/(lx·s)
変換効率	CE	1	-	51	-	$\mu\text{V}/e^-$
			-	82	-	mDN/ e^-
		8	-	410	-	$\mu\text{V}/e^-$
			-	660	-	mDN/ e^-
飽和出力	Vsat	-	1.2	1.25	-	V
			1950	2000	-	DN
読み出しノイズ*21	Nread	1	-	0.5	2.5	mV-rms
			-	0.76	3.8	DN-rms
		8	-	1.6	16	mV-rms
			-	2.5	26	DN-rms
ダイナミックレンジ*22	Drange	1	-	2500	-	-
		8	-	800	-	

*18: 暗状態で測定。最大と最小の差。

*19: $T_s=10$ ms, オフセット出力レベルとの電圧差

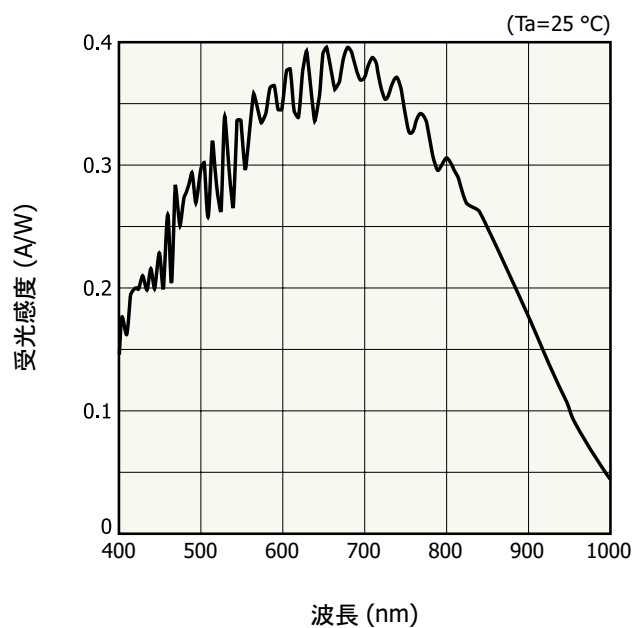
*20: 2856 K, タングステンランプ

*21: 暗状態

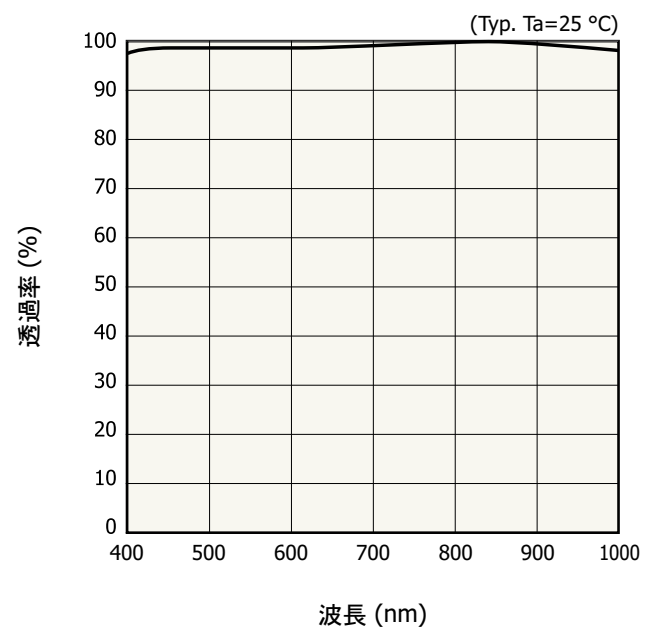
*22: Vsat/Nread

注) DN (Digital Number): A/D変換器の出力の単位

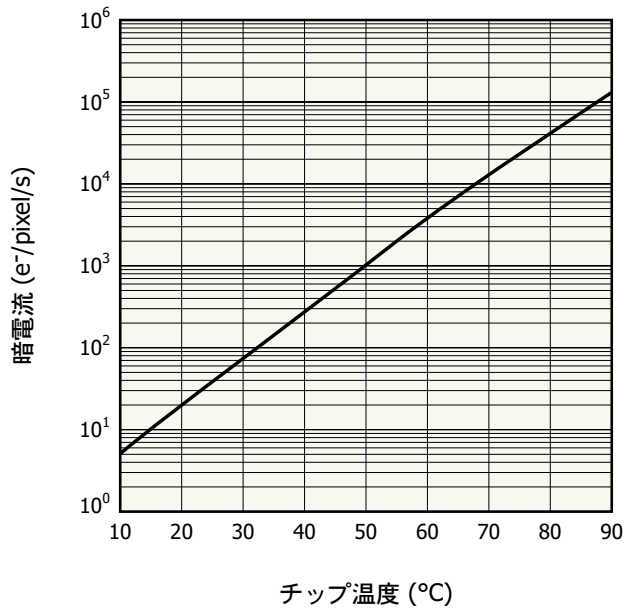
■ 分光感度特性 (代表例)



■ 窓材の分光透過特性

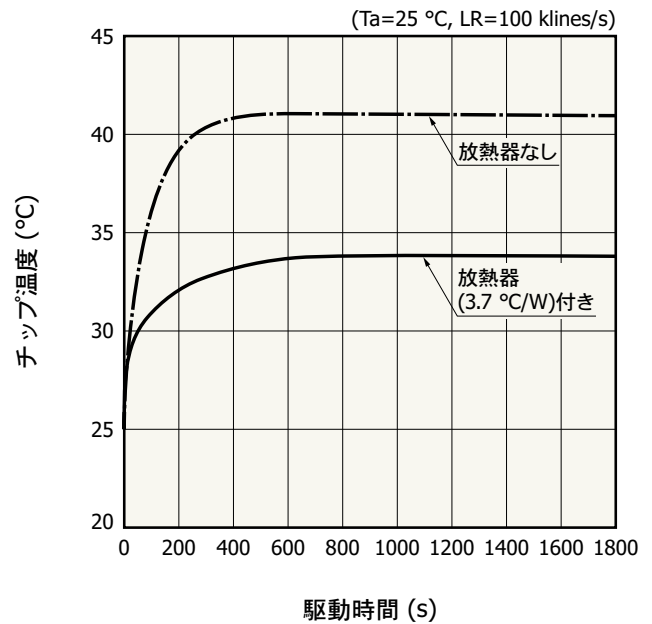


暗電流－チップ温度 (代表例)



KMPDB06183A

チップ温度－駆動時間 (代表例)

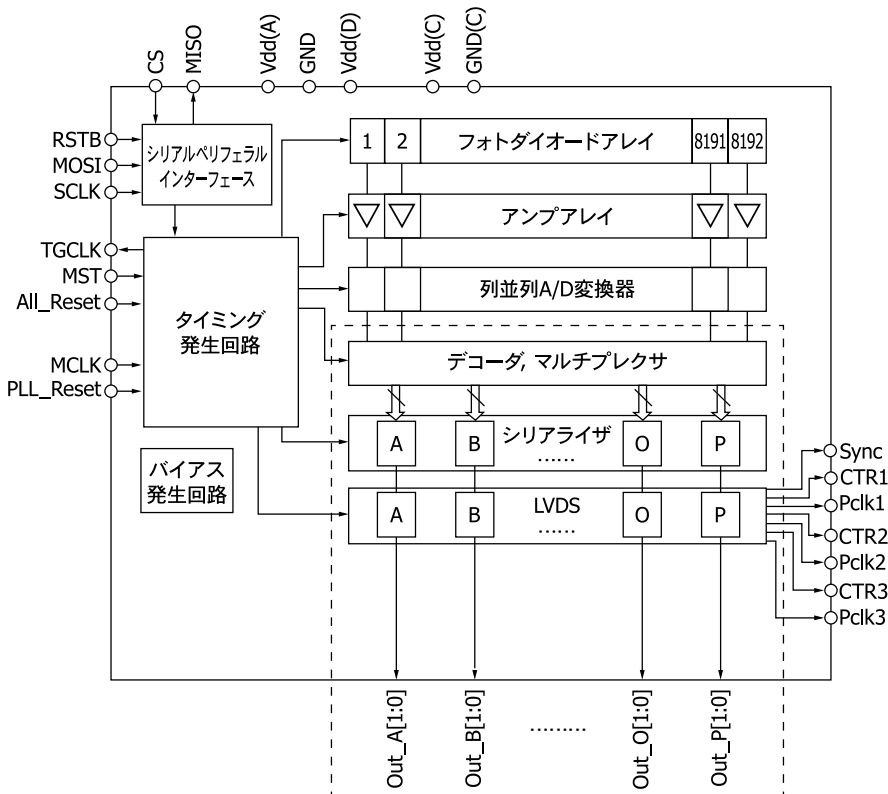


KMPDB06293A

注) 恒温槽内で周囲温度を一定に保った状態で測定。
 周囲温度が上昇するとチップ温度は上昇します。必要に応じて適切な放熱対策を行ってください。

ブロック図

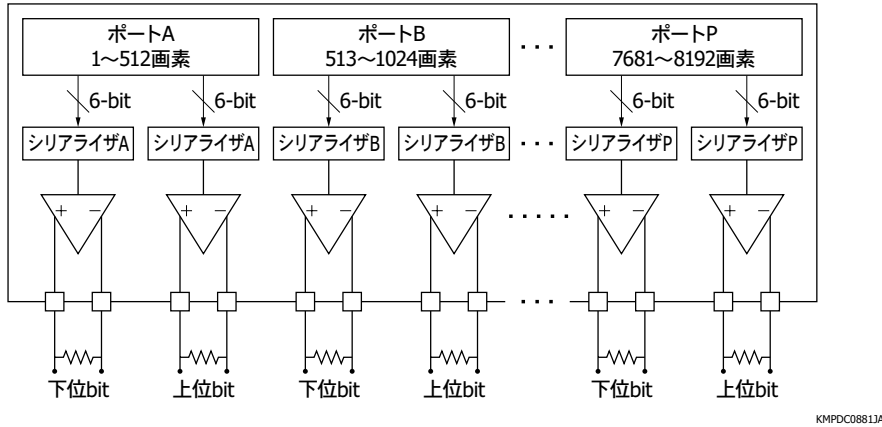
ビデオ出力信号は、16ポート (A~P)に分かれて出力されます。各ポートからは、512画素分のデータが出力されます (各ポートから出力される画素No.: A=1~512, B=513~1024, …P=7681~8192)



KMPDC08793A

■ ビデオ出力部拡大図 (フル出力モード)

各ポートの出力は、上位bitと下位bitのLVDSペアに分割されます。

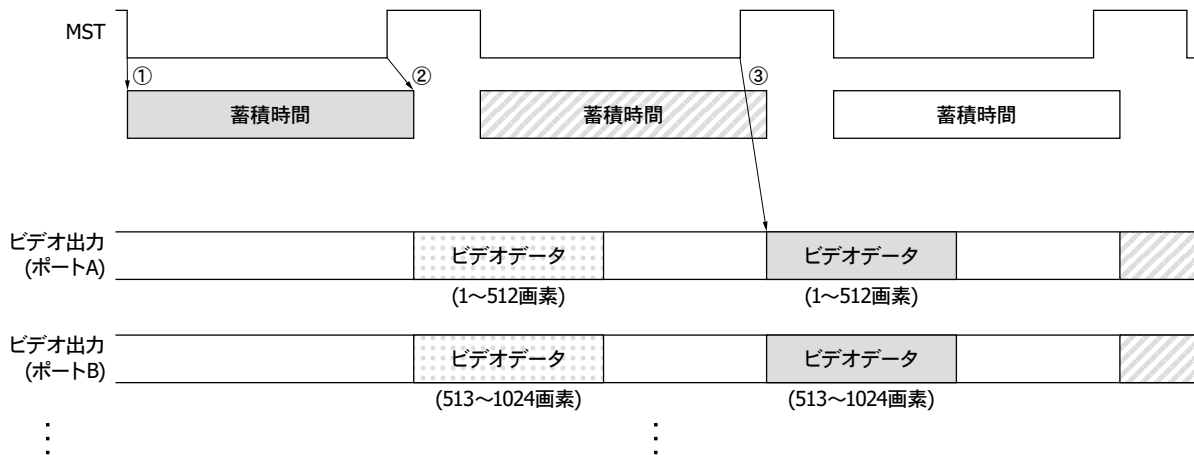


KMPDC0881JA

■ タイミングチャート

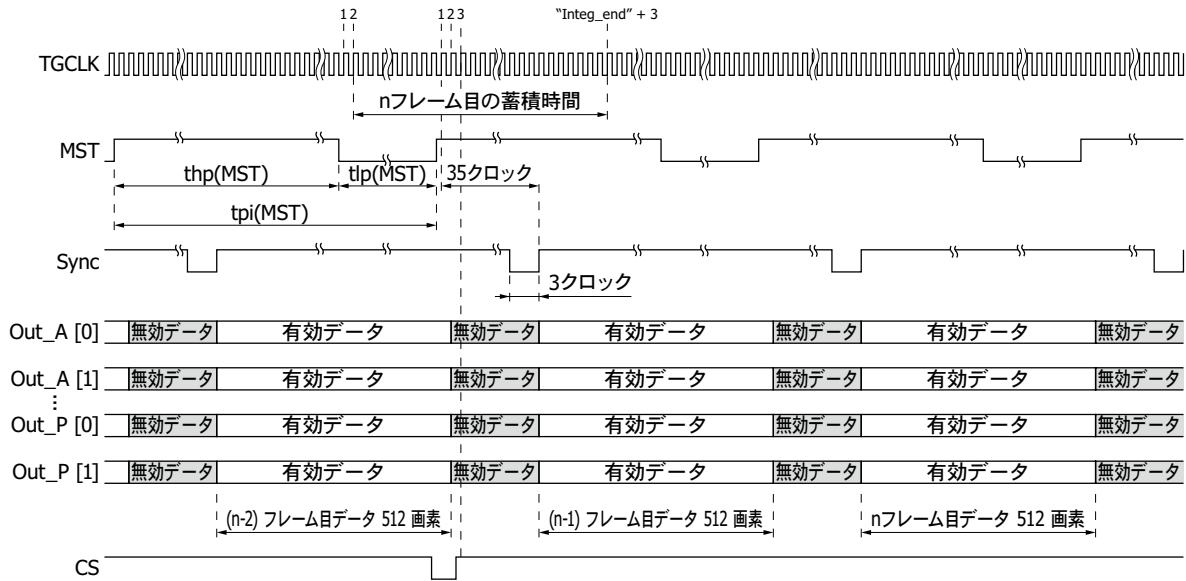
■ 動作説明

蓄積時間はマスタースタートパルスのLow期間で決まります。



KMPDC0882JA

- ①蓄積時間の開始は、マスタースタートパルスの立ち下がりです。
 - ②蓄積時間の終了は、マスタースタートパルスの立ち上がりです。
 - ③ビデオデータは、マスタースタートパルスの次のサイクルの立ち上がりの後に出力されます。ビデオデータは1画素目から順に出力されます (各ポート512画素のデータを出力)。
- ※ビデオ出力の間も、信号の蓄積は可能です。

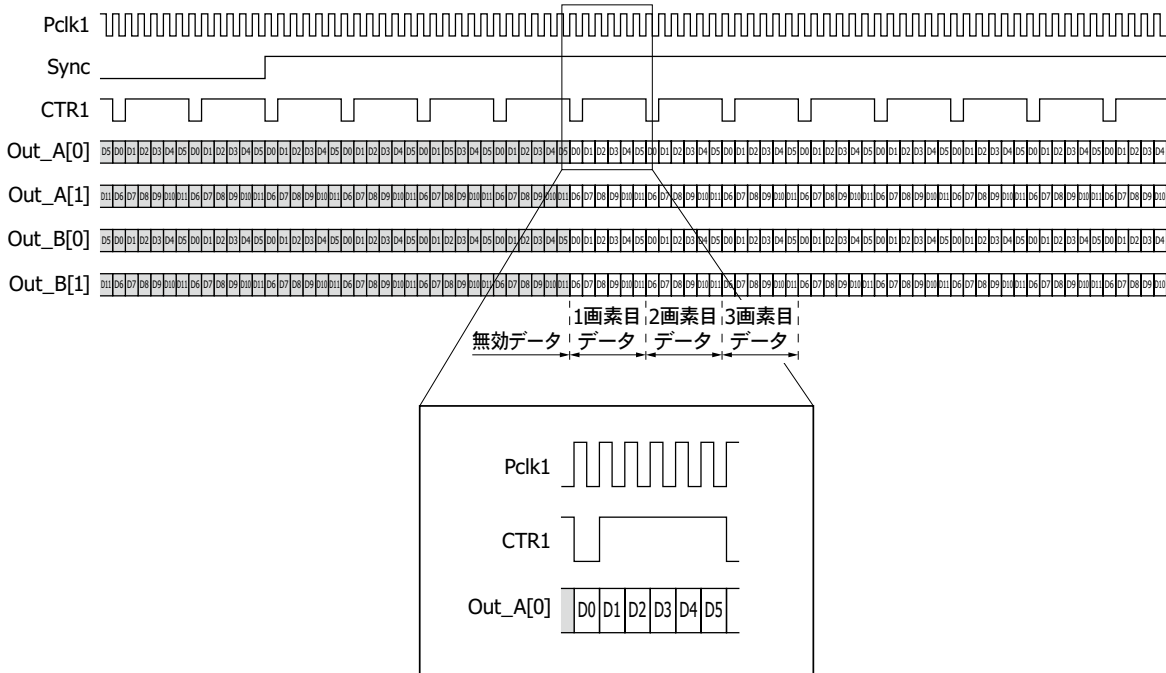


KMPDC08831A

- ・ラインレートは、マスタースタートパルス周期の逆数です。
- ・TGCLKは、センサ内部のタイミング発生回路のクロックです。高速モードでは、TGCLKはMCLKと同じ周波数です。低速モードでは、TGCLKはMCLKの1/2の周波数です。
- ・蓄積時間は、マスタースタートパルスのLow期間 + TGCLKの“Integ_end” + 1周期分に相当します。
- ・マスタースタートパルスの立ち上がり + TGCLK 3クロック目までにSPIのレジスタが設定された場合、SPIのレジスタの設定はnフレーム目のデータから反映されます。
- ・1/2出力モードでは、以下の出力のみが有効です。
 Out_A[0], Out_B[0], Out_C[0], Out_D[0], Out_E[0], Out_F[0], Out_G[0], Out_H[0]
 Out_I[0], Out_J[0], Out_K[0], Out_L[0], Out_M[0], Out_N[0], Out_O[0], Out_P[0]

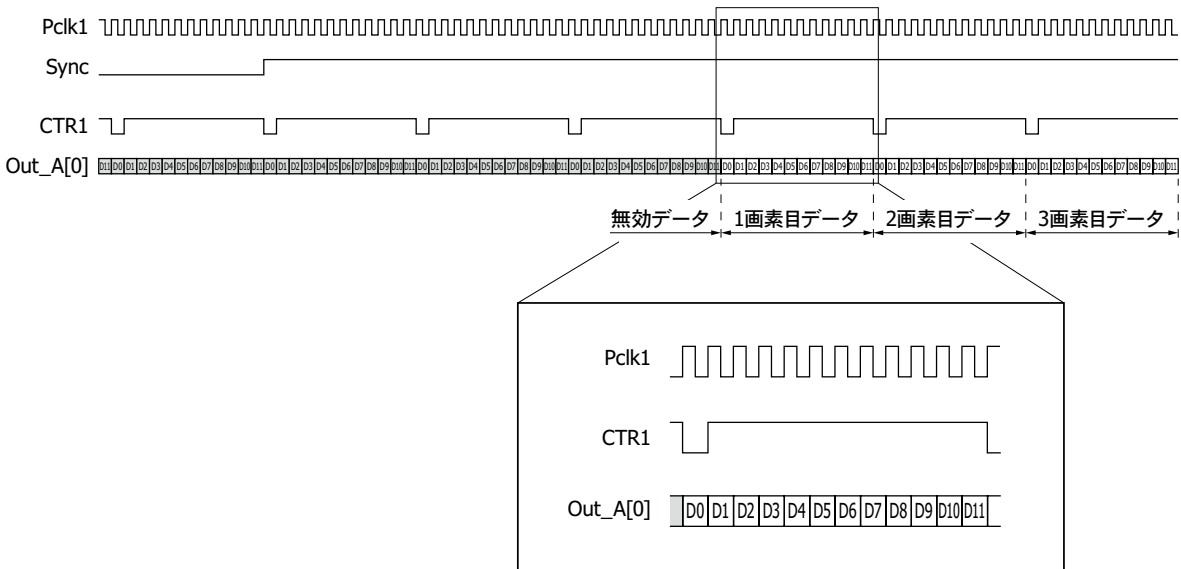
例: ポートA, B

■ フル出力モード (Pclk1_delay=0, CTR1_delay=0)



KMPDC0884JB

■ 1/2出力モード (Pclk1_delay=0, CTR1_delay=0)

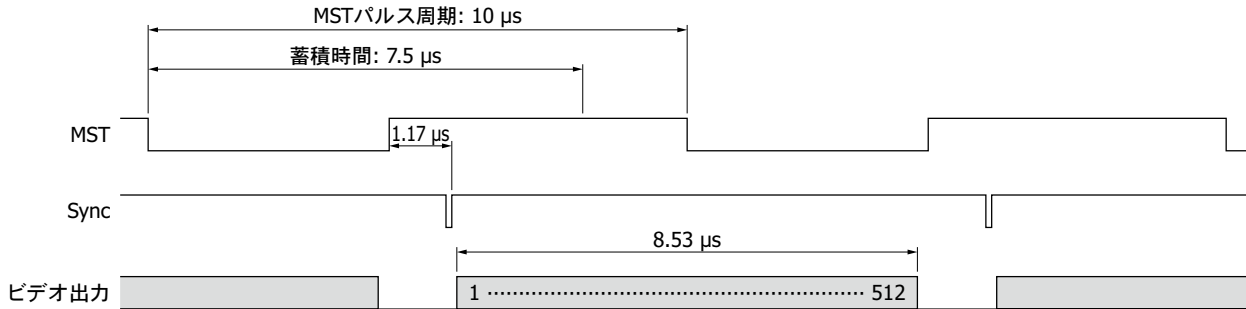


KMPDC0885JB

動作例

例1

ラインレート=100 klines/s、マスタークロックパルス周波数=30 MHz、高速モード、フル出力モード、最大蓄積時間、Integ_end=90



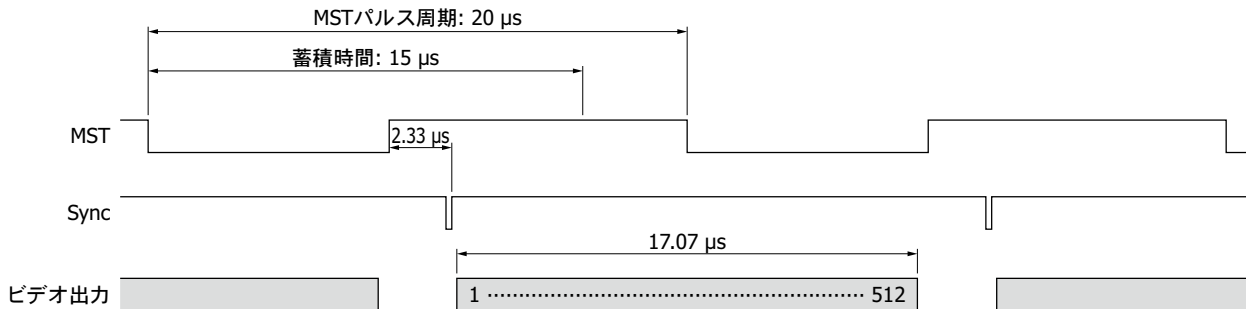
KMPDC0886JA

- ・マスタースタートパルス周期= $300/f(\text{MCLK})=10 \mu\text{s}$ (ラインレートはスタートパルス周期の逆数)
- ・マスタースタートパルスLow期間=マスタースタートパルス周期 - マスタースタートパルスHigh期間の最小期間
 $=300/f(\text{MCLK}) - 166/f(\text{MCLK})=300/30 \text{ MHz} - 166/30 \text{ MHz}=134/30 \text{ MHz}=4.47 \mu\text{s}$
- ・蓄積時間=マスタースタートパルスのLow期間 + マスタークロックパルス (90 + 1)周期
 $=(134 + 91)/30 \text{ MHz}=7.5 \mu\text{s}$

マスタースタートパルスの立ち上がりの約1.17 μ s後にSyncが立ち上がり、その後、ビデオ出力信号が1画素目から順に出力されます (各ポートからは512画素分が出力)。

例2

ラインレート=50 klines/s、マスタークロックパルス周波数=30 MHz、低速モード、1/2出力モード、最大蓄積時間、Integ_end=90



KMPDC0887JA

- ・マスタースタートパルス周期= $600/f(\text{MCLK})=20 \mu\text{s}$ (ラインレートはスタートパルス周期の逆数)
- ・マスタースタートパルスLow期間=マスタースタートパルス周期 - マスタースタートパルスHigh期間の最小期間
 $=600/f(\text{MCLK}) - 332/f(\text{MCLK})=600/30 \text{ MHz} - 332/30 \text{ MHz}=268/30 \text{ MHz}=8.93 \mu\text{s}$
- ・蓄積時間=マスタースタートパルスのLow期間 + マスタークロックパルス (90 + 1) × 2周期
 $=(268 + 182)/30 \text{ MHz}=15 \mu\text{s}$

マスタースタートパルスの立ち上がりの約2.33 μ s後にSyncが立ち上がり、その後、ビデオ出力信号が1画素目から順に出力されます (各ポートからは512画素分が出力)。

■ SPIのアドレスの設定

アドレス (10進数)	レジスタ	初期値		項目
		2進数	10進数	
0	MODE[1:0]	0	0	Mode[0]: 高速/低速モード (初期設定: 高速モード) Mode[1]: ビデオ出力数 (初期設定: フル出力モード)
2	ADC_delay1[2:0]	---- -110	2	A/D変換器の駆動タイミング, 推奨設定=6
13	ADC_delay2[4:0]	---0 1100	12	A/D変換器の駆動タイミング, 推奨設定=8
14	Pclk1_delay[5:0]	--00 0000	0	Pclk1のタイミング (初期設定: Pclk1_delay[5:0]=0)
15	CTR1_delay[5:0]	--00 0000	0	CTR1のタイミング (初期設定: CTR1_delay[5:0]=0)
16	Pclk2_delay[5:0]	--00 0000	0	Pclk2のタイミング (初期設定: Pclk2_delay[5:0]=0)
17	CTR2_delay[5:0]	--00 0000	0	CTR2のタイミング (初期設定: CTR2_delay[5:0]=0)
18	Pclk3_delay[5:0]	--00 0000	0	Pclk3のタイミング (初期設定: Pclk3_delay[5:0]=0)
19	CTR3_delay[5:0]	--00 0000	0	CTR3のタイミング (初期設定: CTR3_delay[5:0]=0)
20	AGC[4:0]	---1 0000	16	ゲイン (初期設定: ゲイン=1)
21	Offset[11:8]	---- 0000	31	出力オフセット (初期設定: 31)
22	Offset[7:0]	0001 1111		
23	ADC_delay3[3:0]	---- 0011	3	A/D変換器の駆動タイミング, 推奨設定=11
26	ADC_delay4[7:0]	0000 0000	0	A/D変換器の駆動タイミング, 推奨設定=2
43	ADC_delay5[5:0]	--00 0000	0	A/D変換器の駆動タイミング Mode[1]=0の場合: 推奨設定=0 Mode[1]=1の場合: 推奨設定=14
51	Integ_end[7:0]	0110 1001	105	蓄積時間終了のタイミング設定 (初期設定: 105)

注) 必ず上の表のアドレスに設定してください。上の表にないアドレスに設定すると、誤作動することがあります。

■ 高速/低速モード

以下の2つのモードから最大ラインレートを選択できます。

- ・高速モード (Mode[0]=0): 最大ラインレート=100 klines/s, A/D変換器の分解能=10-bit (オフセット出力から飽和出力までが約1024 DNとなります。)
- ・低速モード (Mode[0]=1): 最大ラインレート=50 klines/s, A/D変換器の分解能=11-bit (オフセット出力から飽和出力までが約2048 DNとなります。)

■ ビデオ出力数

以下の2つのモードから選択できます。

- ・フル出力モード (Mode[1]=0): ビデオ出力=64本 (LVDS32ペア)
 - ・1/2出力モード (Mode[1]=1): ビデオ出力=32本 (LVDS16ペア)
- ラインレートを50 klines/sより速くする場合は、1/2出力モードにしないでください。

注) 詳細はタイミングチャート (P.12)を参照してください。

■ A/D変換器の駆動タイミング

上表の推奨設定にしてください。

■ Pclk1, CTR1, Pclk2, CTR2, Pclk3, CTR3のタイミング

Pclk1, CTR1, Pclk2, CTR2, Pclk3, CTR3をセンサ内部で遅延させて出力できます。設定値が1増加すると、約0.15 ns遅延して出力されます。

■ ゲイン設定

以下の表にない設定をすると、センサが正しく動作しない場合があります。以下の表中の設定をしてください。

10進数	AGC[4:0]					ゲイン	説明
	[4]	[3]	[2]	[1]	[0]		
0	0	0	0	0	0	20	
1	0	0	0	0	1	10	
2	0	0	0	1	0	8	
4	0	0	1	0	0	4	
8	0	1	0	0	0	2	
16	1	0	0	0	0	1	初期設定

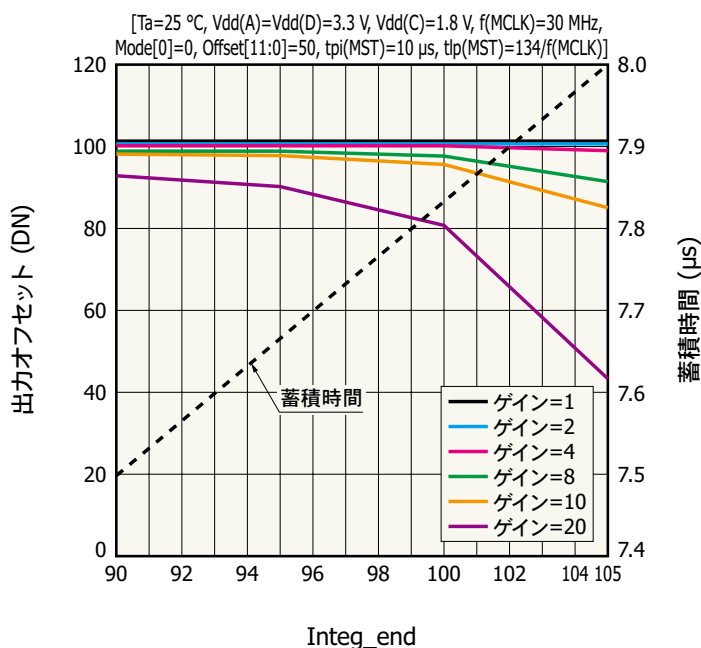
■ 出力オフセット設定

Offset[11:0]=0~511に設定してください。Offset[11:0]が1増加すると、2 DN分、出力オフセット値が増加します。実際出力オフセット値はOffset[11:0] × 2となるように設定されていますが、アンプのゲインが上がると製品の個体ばらつきなどにより、多少ずれた値になります。なおoffset[11:9]=0にしてください。

■ 蓄積時間終了のタイミング設定

Integ_end[7:0]=90~105になるように設定してください。設定値によって、蓄積時間の終了タイミングが変わります。蓄積時間の終了を早めると、ゲイン設定によるオフセット変動を抑えることができます。

■ 出力オフセット (全画素の平均, 代表例)

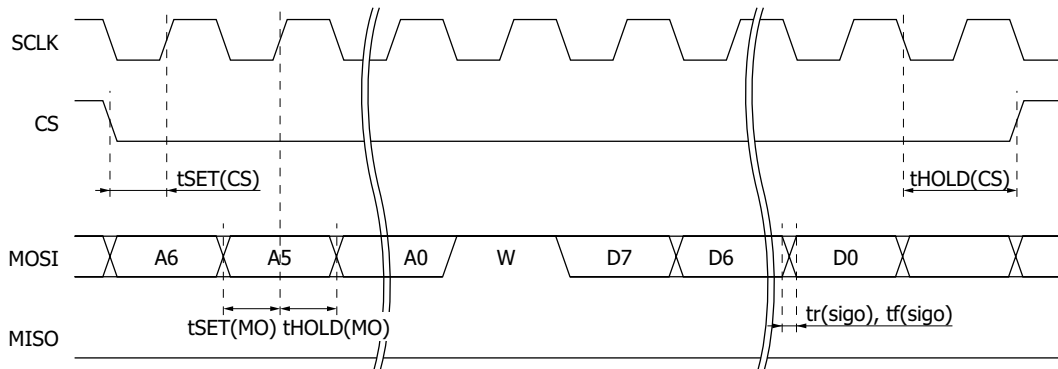


KMPDB0621JA

注) 詳細については、タイミングチャート (P.11)を参照してください。

SPIの設定

SPIの設定は、SCLK、CS、MOSIを用いて行います。RSTBをLowにすると、全項目が初期設定になります (RSTBの設定時には、RSTBのパルス幅やSCLKのタイミングを考慮する必要はありません)。



KMPDC0693EA

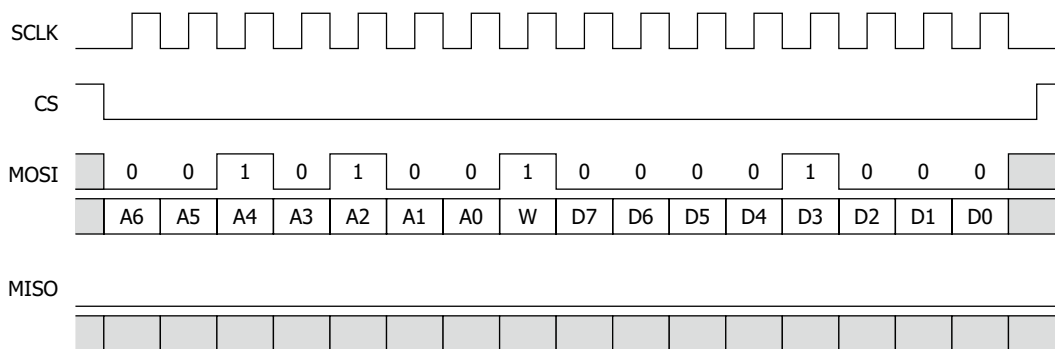
[Ta=25 °C, Vdd(A)=Vdd(D)=Vdd(C)=3.3 V, f(MCLK)=30 MHz, LR=100 klines/s]

項目	記号	Min.	Typ.	Max.	単位
SPIクロックパルス周波数	f(SCLK)	-	7.5	10	MHz
SPIセットアップ時間 (CS)	tSET(CS)	7	-	-	ns
SPIホールド時間 (CS)	tHOLD(CS)	7	-	-	ns
SPIセットアップ時間 (MOSI)	tSET(MO)	7	-	-	ns
SPIホールド時間 (MOSI)	tHOLD(MO)	7	-	-	ns
デジタル入力信号上昇時間*23	tr(sigi)	-	5	7	ns
デジタル入力信号下降時間*23	tf(sigi)	-	5	7	ns

*23: 入力電圧が10%から90%の間で上昇・下降する時間

■ SPI設定の例

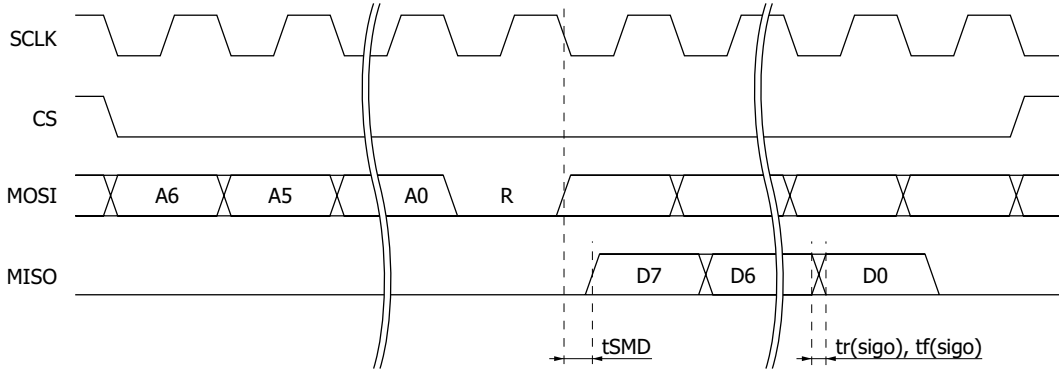
AGC[4:0]=8を書き込み (ゲインを2倍に設定)



KMPDC0694EA

■ SPI設定の確認

以下の方法で、現状のSPI設定を確認することができます。



KMPDC0695EA

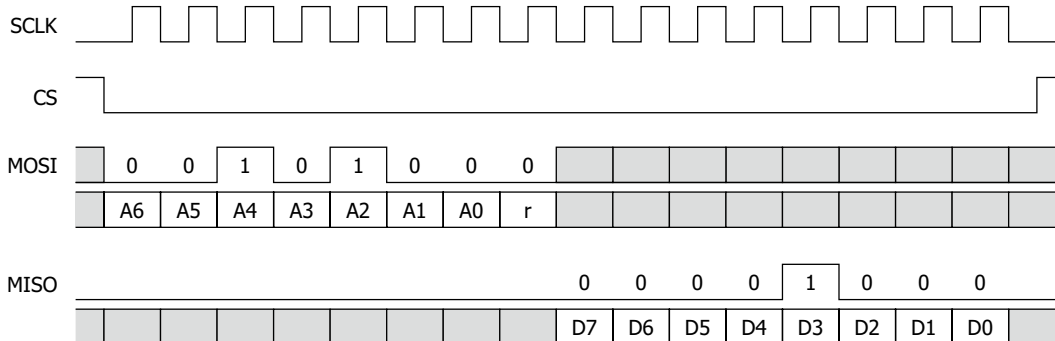
[Ta=25 °C, Vdd(A)=Vdd(D)=Vdd(C)=3.3 V, f(MCLK)=30 MHz, LR=100 klines/s]

項目	記号	Min.	Typ.	Max.	単位
出力信号上昇時間*24	tr(sigo)	-	10	12	ns
出力信号下降時間*24	tf(sigo)	-	10	12	ns
SCLK-MISO遅延時間	tSMD	-	-	25	ns

*24: 出力端子の負荷容量が10 pFの場合、出力電圧が10%から90%まで上昇・下降する時間。

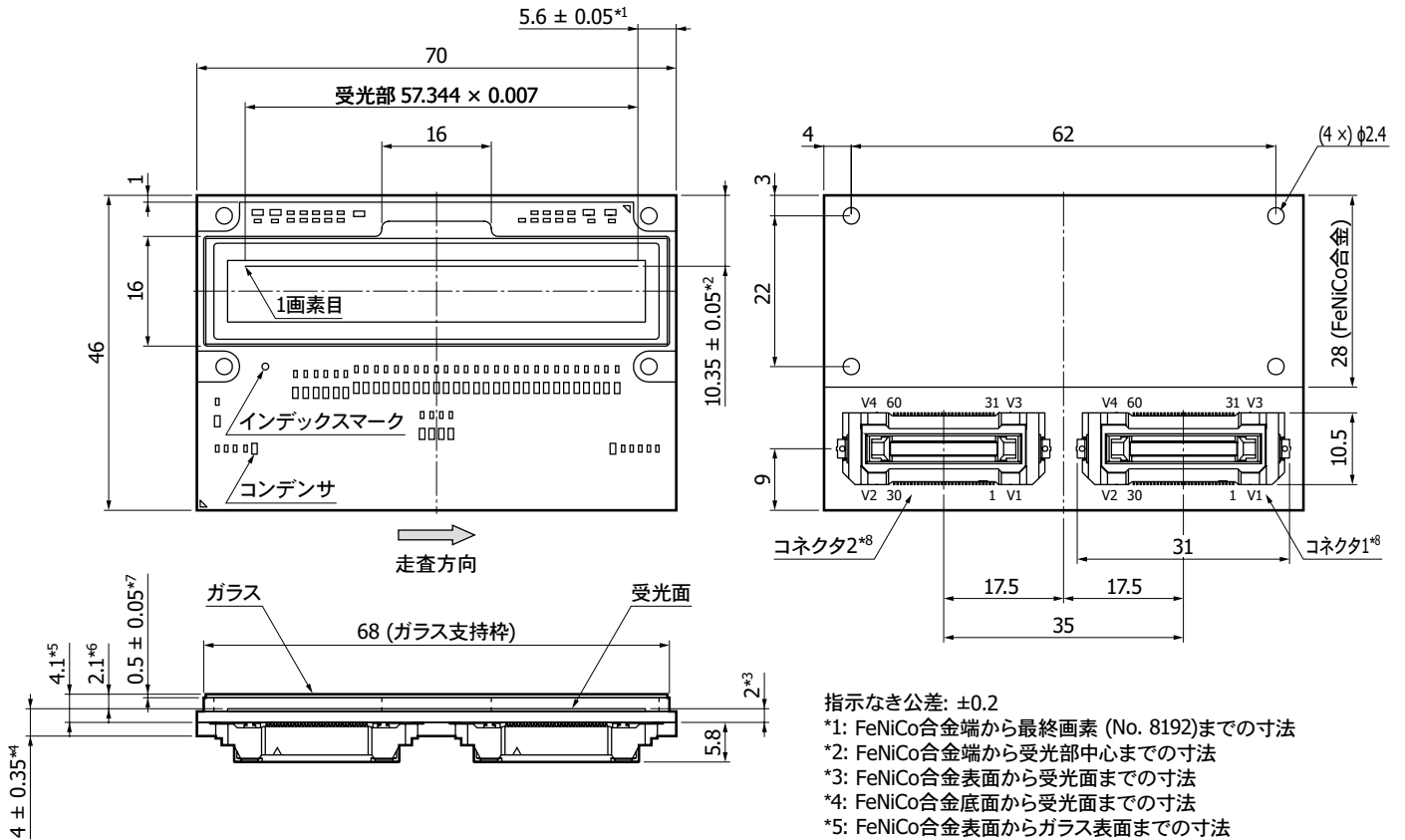
■ SPI設定の確認例

AGC [4:0]=8 (ゲイン2倍)を確認



KMPDC0696EA

外形寸法図 (単位: mm)



指示なき公差: ±0.2

*1: FeNiCo合金端から最終画素 (No. 8192)までの寸法

*2: FeNiCo合金端から受光部中心までの寸法

*3: FeNiCo合金表面から受光面までの寸法

*4: FeNiCo合金底面から受光面までの寸法

*5: FeNiCo合金表面からガラス表面までの寸法

*6: ガラス表面から受光面までの寸法

*7: ガラスの厚さ

*8: FX23L-60S-0.5SV (ヒロセ電機社製)

KMPDA03631A

■ ピン接続

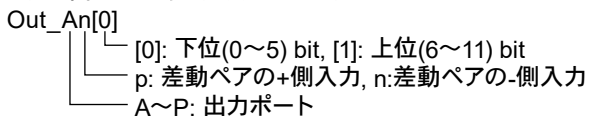
■ コネクタ1

ピンNo.	記号	I/O	機能	ピンNo.	記号	I/O	機能
V1	GND(C)	I	グラウンド	29	Out Gp[1]	O	ビデオ出力信号 (LVDS)
V2	Vdd(D)	I	電源電圧 (3.3 V)	30	Out Gn[1]	O	ビデオ出力信号 (LVDS)
V3	Vdd(C)	I	電源電圧 (1.8 V)	31	MST	I	マスタースタート信号 (シングルエンド)
V4	Vdd(D)	I	電源電圧 (3.3 V)	32	SCLK	I	SPIクロック信号 (シングルエンド)
1	MCLK	I	マスタークロック信号 (シングルエンド)	33	MOSI	I	SPI入力信号 (シングルエンド)
2	TGCLK	O	タイミング発生回路クロック信号 (シングルエンド)	34	MISO	O	SPI出力信号 (シングルエンド)
3	CS	I	SPI選択信号 (シングルエンド)	35	PLL Reset	I	PLL回路リセット (シングルエンド)
4	RSTB	I	SPIリセット信号 (シングルエンド)	36	All Reset	I	タイミング発生回路リセット (シングルエンド)
5	Syncp	O	フレーム同期信号 (LVDS)	37	Pclk1p	O	ビット出力同期信号 (LVDS)
6	Syncn	O	フレーム同期信号 (LVDS)	38	Pclk1n	O	ビット出力同期信号 (LVDS)
7	Pclk2p	O	ビット出力同期信号 (LVDS)	39	CTR1p	O	画素同期信号 (LVDS)
8	Pclk2n	O	ビット出力同期信号 (LVDS)	40	CTR1n	O	画素同期信号 (LVDS)
9	CTR2p	O	画素同期信号 (LVDS)	41	Out Ap[0]	O	ビデオ出力信号 (LVDS)
10	CTR2n	O	画素同期信号 (LVDS)	42	Out An[0]	O	ビデオ出力信号 (LVDS)
11	Out Ap[1]	O	ビデオ出力信号 (LVDS)	43	GND	I	グラウンド
12	Out An[1]	O	ビデオ出力信号 (LVDS)	44	Out Bp[0]	O	ビデオ出力信号 (LVDS)
13	GND	I	グラウンド	45	Out Bn[0]	O	ビデオ出力信号 (LVDS)
14	Out Bp[1]	O	ビデオ出力信号 (LVDS)	46	GND	I	グラウンド
15	Out Bn[1]	O	ビデオ出力信号 (LVDS)	47	Out Cp[0]	O	ビデオ出力信号 (LVDS)
16	GND	I	グラウンド	48	Out Cn[0]	O	ビデオ出力信号 (LVDS)
17	Out Cp[1]	O	ビデオ出力信号 (LVDS)	49	GND	I	グラウンド
18	Out Cn[1]	O	ビデオ出力信号 (LVDS)	50	Out Dp[0]	O	ビデオ出力信号 (LVDS)
19	GND	I	グラウンド	51	Out Dn[0]	O	ビデオ出力信号 (LVDS)
20	Out Dp[1]	O	ビデオ出力信号 (LVDS)	52	GND	I	グラウンド
21	Out Dn[1]	O	ビデオ出力信号 (LVDS)	53	Out Ep[0]	O	ビデオ出力信号 (LVDS)
22	GND	I	グラウンド	54	Out En[0]	O	ビデオ出力信号 (LVDS)
23	Out Ep[1]	O	ビデオ出力信号 (LVDS)	55	GND	I	グラウンド
24	Out En[1]	O	ビデオ出力信号 (LVDS)	56	Out Fp[0]	O	ビデオ出力信号 (LVDS)
25	GND	I	グラウンド	57	Out Fn[0]	O	ビデオ出力信号 (LVDS)
26	Out Fp[1]	O	ビデオ出力信号 (LVDS)	58	GND	I	グラウンド
27	Out Fn[1]	O	ビデオ出力信号 (LVDS)	59	Out Gp[0]	O	ビデオ出力信号 (LVDS)
28	GND	I	グラウンド	60	Out Gn[0]	O	ビデオ出力信号 (LVDS)

■ コネクタ2

ピンNo.	記号	I/O	機能	ピンNo.	記号	I/O	機能
V1	Vdd(A)	I	電源電圧 (3.3 V)	29	PCLK3p	O	ビット出力同期信号 (LVDS)
V2	GND(C)	I	グラウンド	30	PCLK3n	O	ビット出力同期信号 (LVDS)
V3	Vdd(A)	I	電源電圧 (3.3 V)	31	GND	I	グラウンド
V4	Vdd(C)	I	電源電圧 (1.8 V)	32	Out Hp[0]	O	ビデオ出力信号 (LVDS)
1	GND	I	グラウンド	33	Out Hn[0]	O	ビデオ出力信号 (LVDS)
2	Out Hp[1]	O	ビデオ出力信号 (LVDS)	34	GND	I	グラウンド
3	Out Hn[1]	O	ビデオ出力信号 (LVDS)	35	Out Ip[0]	O	ビデオ出力信号 (LVDS)
4	GND	I	グラウンド	36	Out In[0]	O	ビデオ出力信号 (LVDS)
5	Out Ip[1]	O	ビデオ出力信号 (LVDS)	37	GND	I	グラウンド
6	Out In[1]	O	ビデオ出力信号 (LVDS)	38	Out Jp[0]	O	ビデオ出力信号 (LVDS)
7	GND	I	グラウンド	39	Out Jn[0]	O	ビデオ出力信号 (LVDS)
8	Out Jp[1]	O	ビデオ出力信号 (LVDS)	40	GND	I	グラウンド
9	Out Jn[1]	O	ビデオ出力信号 (LVDS)	41	Out Kp[0]	O	ビデオ出力信号 (LVDS)
10	GND	I	グラウンド	42	Out Kn[0]	O	ビデオ出力信号 (LVDS)
11	Out Kp[1]	O	ビデオ出力信号 (LVDS)	43	GND	I	グラウンド
12	Out Kn[1]	O	ビデオ出力信号 (LVDS)	44	Out Lp[0]	O	ビデオ出力信号 (LVDS)
13	GND	I	グラウンド	45	Out Ln[0]	O	ビデオ出力信号 (LVDS)
14	Out Lp[1]	O	ビデオ出力信号 (LVDS)	46	GND	I	グラウンド
15	Out Ln[1]	O	ビデオ出力信号 (LVDS)	47	Out Mp[0]	O	ビデオ出力信号 (LVDS)
16	GND	I	グラウンド	48	Out Mn[0]	O	ビデオ出力信号 (LVDS)
17	Out Mp[1]	O	ビデオ出力信号 (LVDS)	49	GND	I	グラウンド
18	Out Mn[1]	O	ビデオ出力信号 (LVDS)	50	Out Np[0]	O	ビデオ出力信号 (LVDS)
19	GND	I	グラウンド	51	Out Nn[0]	O	ビデオ出力信号 (LVDS)
20	Out Np[1]	O	ビデオ出力信号 (LVDS)	52	GND	I	グラウンド
21	Out Nn[1]	O	ビデオ出力信号 (LVDS)	53	Out Op[0]	O	ビデオ出力信号 (LVDS)
22	GND	I	グラウンド	54	Out On[0]	O	ビデオ出力信号 (LVDS)
23	Out Op[1]	O	ビデオ出力信号 (LVDS)	55	GND	I	グラウンド
24	Out On[1]	O	ビデオ出力信号 (LVDS)	56	Out Pp[0]	O	ビデオ出力信号 (LVDS)
25	GND	I	グラウンド	57	Out Pn[0]	O	ビデオ出力信号 (LVDS)
26	Out Pp[1]	O	ビデオ出力信号 (LVDS)	58	GND	I	グラウンド
27	Out Pn[1]	O	ビデオ出力信号 (LVDS)	59	CTR3p	O	画素同期信号 (LVDS)
28	GND	I	グラウンド	60	CTR3n	O	画素同期信号 (LVDS)

注) ビデオ出力の記号の定義は以下の通りです。



■ 使用上の注意

(1) 静電気対策

本製品は静電気に対する保護回路を内蔵していますが、静電気による破壊を未然に防ぐために、作業員・作業台・作業工具の接地などの静電気対策を実施してください。また、周辺機器からのサージ電圧を防ぐようにしてください。

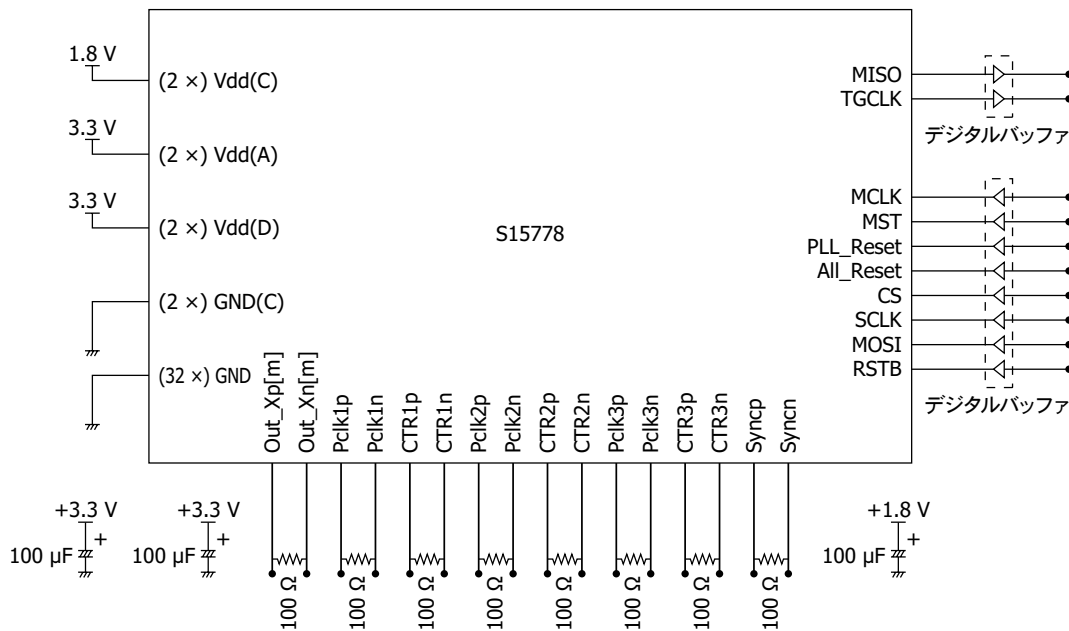
(2) 入射窓

入射窓ガラスの表面にゴミや汚れが付着すると画像に黒キズとして現れます。ゴミや汚れを拭き取る場合、乾いた布や綿棒などでこすると静電気発生の原因となります。アルコール類を少量含ませた柔らかい布・紙・綿棒などでゴミや汚れを拭き取り、シミが残らないように圧搾気体を吹き付けてください。

(3) 紫外線照射

本製品は紫外線照射による特性劣化を抑えるように設計されていないため、紫外線を照射しないでください。

接続回路例



GNDとGND(C)を1点アースしてください。

MISO、TGCLKを使用しない場合、デジタルバッファは不要です。

KMPDC0892JA

関連情報

www.hamamatsu.com/sp/ssd/doc_ja.html

■ 注意事項

- ・ 製品に関する注意事項とお願い
- ・ イメージセンサ／使用上の注意

■ 技術資料

- ・ CMOSリニアイメージセンサ

本資料の記載内容は、令和4年12月現在のものです。

製品の仕様は、改良などのため予告なく変更することがあります。本資料は正確を期するため慎重に作成されたものですが、まれに誤記などによる誤りがある場合があります。本製品を使用する際には、必ず納入仕様書をご用命の上、最新の仕様をご確認ください。

本製品の保証は、納入後1年以内に瑕疵が発見され、かつ弊社に通知された場合、本製品の修理または代品の納入を限度とします。ただし、保証期間内であっても、天災および不適切な使用に起因する損害については、弊社はその責を負いません。

本資料の記載内容について、弊社の許諾なしに転載または複製することを禁じます。

浜松ホトニクス株式会社

www.hamamatsu.com

仙台営業所	〒980-0021 仙台市青葉区中央3-2-1 (青葉通プラザ11階)	TEL (022) 267-0121 FAX (022) 267-0135
筑波営業所	〒305-0817 つくば市研究学園5-12-10 (研究学園スクウェアビル7階)	TEL (029) 848-5080 FAX (029) 855-1135
東京営業所	〒100-0004 東京都千代田区大手町2-6-4 (常盤橋タワー11階)	TEL (03) 6757-4994 FAX (03) 6757-4997
中部営業所	〒430-8587 浜松市中区砂山町325-6 (日本生命浜松駅前ビル)	TEL (053) 459-1112 FAX (053) 459-1114
大阪営業所	〒541-0052 大阪市中央区安土町2-3-13 (大阪国際ビル10階)	TEL (06) 6271-0441 FAX (06) 6271-0450
西日本営業所	〒812-0013 福岡市博多区博多駅東1-13-6 (いちご博多イーストビル5階)	TEL (092) 482-0390 FAX (092) 482-0550

固体営業推進部 〒435-8558 浜松市東区市野町1126-1 TEL (053) 434-3311 FAX (053) 434-5184